ÉCOLE POLYTECHNIQUE
FÉDÉRALE DE LAUSANNE

Enseignes et afficheurs à LED

Circuits logiques programmables : FPGA

Dr. Mamadou Lamine NDIAYE

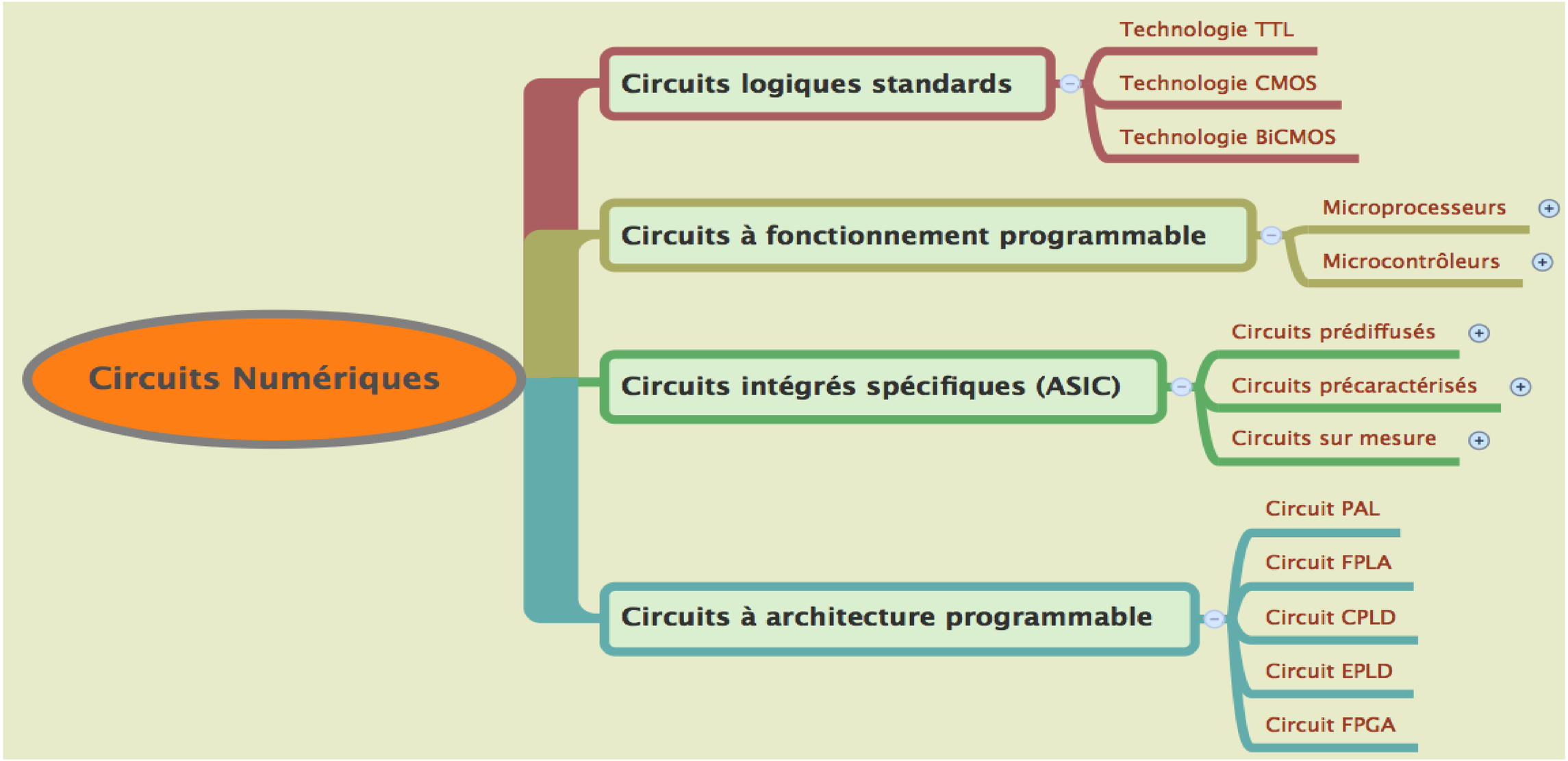
Circuits logiques programmables : FPGA

Mamadou Lamine NDIAYE

Circuits logiques programmables

- Les circuits logiques programmables
- Les circuits FPGA
- Méthodologie de conception des circuits FPGA
- Environnement de développement

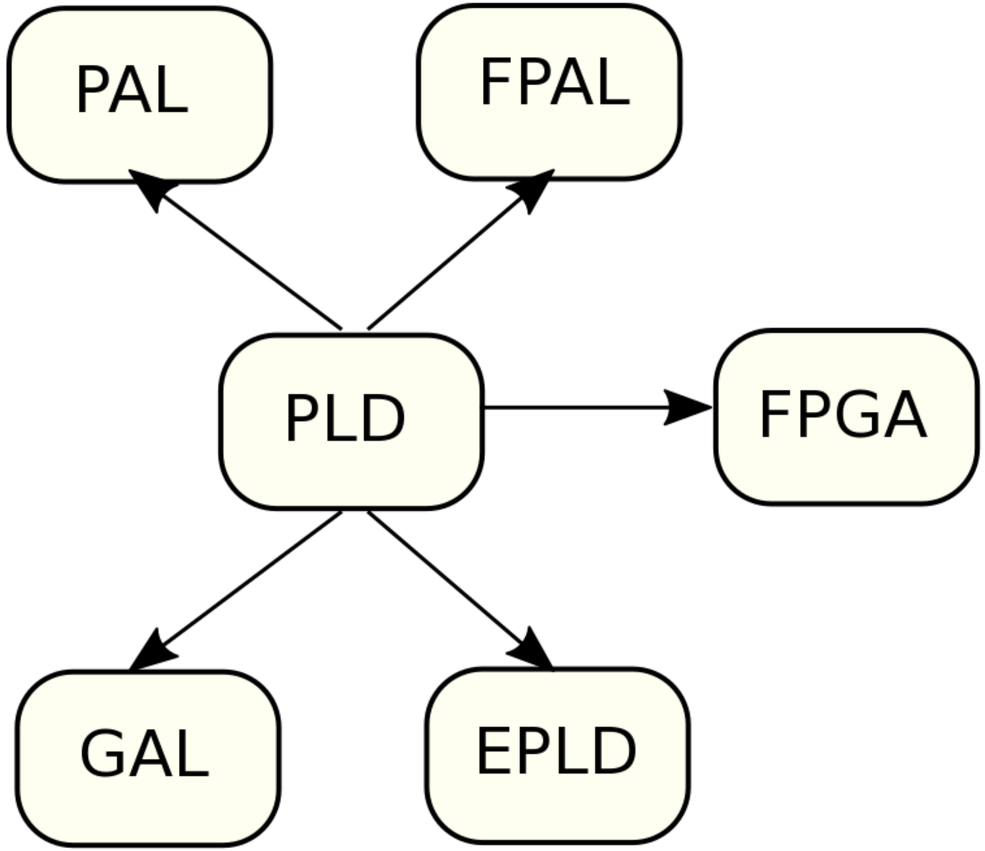
Classification des circuits logiques



Circuits logiques programmables

Ensemble de portes logiques reconfigurables

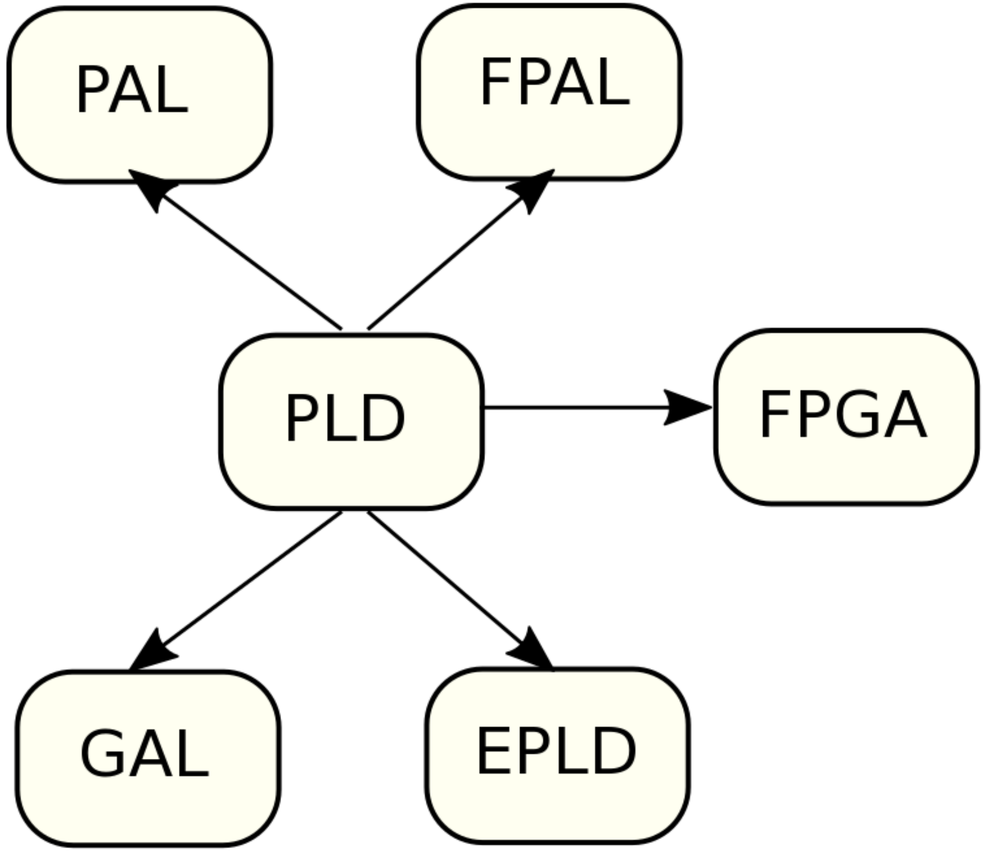
- ET, OU
- Bascules, RAM, Multiplexeurs, registres



Circuits logiques programmables

Ensemble de portes logiques reconfigurables

- ET, OU
- Bascules, RAM, Multiplexeurs, registres



- Technologies fusible,
- Technologies Flash, EEPROM, SRAM

Circuits logiques programmables

- Circuit PAL(Programmable Array Logic) où seules les fonctions ET sont programmables
- Circuit FPLA (Field Programmable Logic Array) est un circuit PAL dans lequel les fonctions ET et OU sont programmables
- Circuit CPLD (Complex Progrmmable Logic Device) est un circuit logique programmable complexe
- Circuit EPLD (Erasabe Progrmmable Logic Device) est un circuit logique programmable et effeçable
- Circuit FPGA (Field Progrmmable Gate Array) est un réseau de ciruits programmables à la demande

Les circuits FPGA

Les circuits FPGA

- Les circuits logiques programmables de type FPGA sont de plus en plus utilisés dans la conception des circuits numériques.

  - Matrices de fonctions logiques (cellules logiques SRAM)
  - Programmation des interconnexions (reconfiguration de l'architecture) in situ
  - Reprogrammables à volonté
  - Temps de développement très court.
  - Grande souplesse pour des évolutions rapides à moindre coût

Les circuits FPGA

- Les circuits logiques programmables de type FPGA sont de plus en plus utilisés dans la conception des circuits numériques.

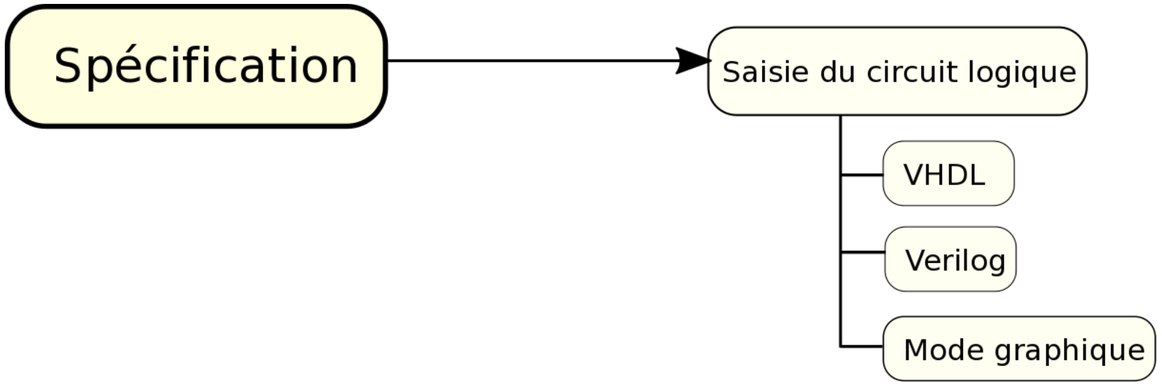
  - Densités d'intégration pouvant atteindre plus de 10 millions de portes logiques.
  - Possibilités de traitement parallèle des données (augmentation de la vitesse de calcul).
  - Blocs logiques configurables constitués d'arbres de multiplexeurs connectés à des points mémoires.
  - Capacité limitée par le nombre de blocs logiques configurables (non la complexité).

Méthodologie de conception des FPGA (CPLD)

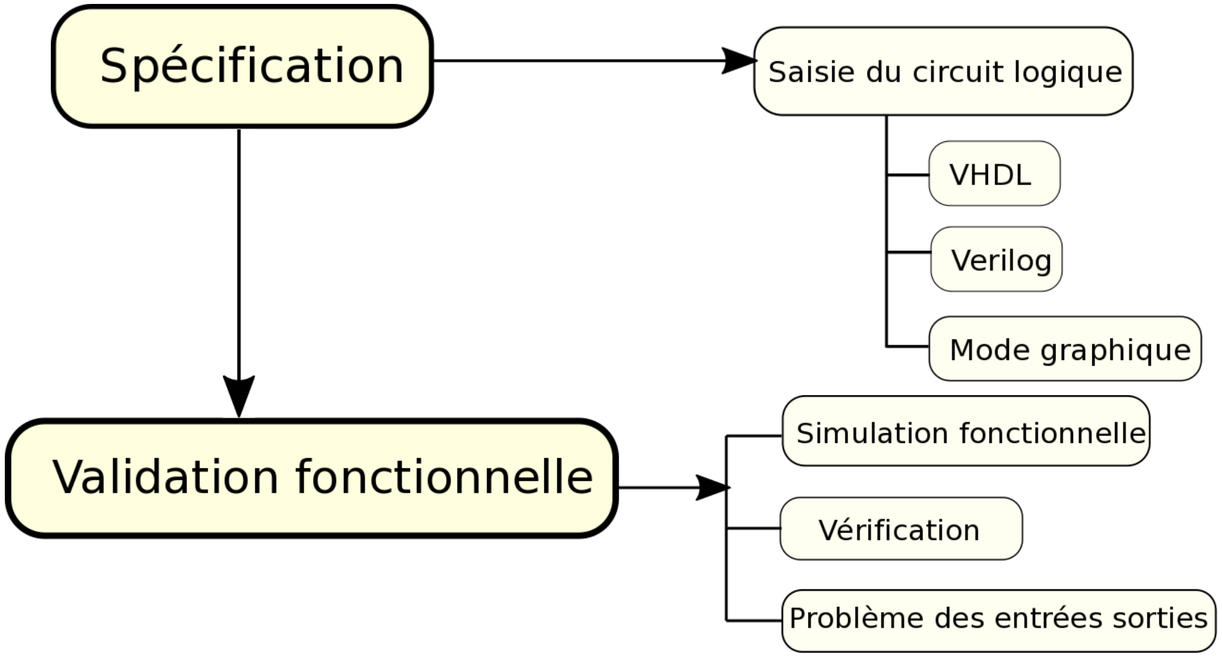
Niveaux de description

- Comportemental ou fonctionnel
  - Le modèle est décrit par, sa fonction, son algorithme. Il s'agit de décrire comment cela fonctionne.
- RTL (Register Transfert Logic)
  - Le modèle est décrit sous forme d'éléments séquentiels
  - Prend en compte la notion d'horloge, de cycle;
- Structurel (Porte logique)
  - Le modèle est décrit par sa topologie (netlist) de portes logiques, de registres, de composants
- Décomposition du cahier des charges en fonctions simples
  - Fonctions combinatoires (instructions concurrentes)
  - Fonctions séquentielles (process)

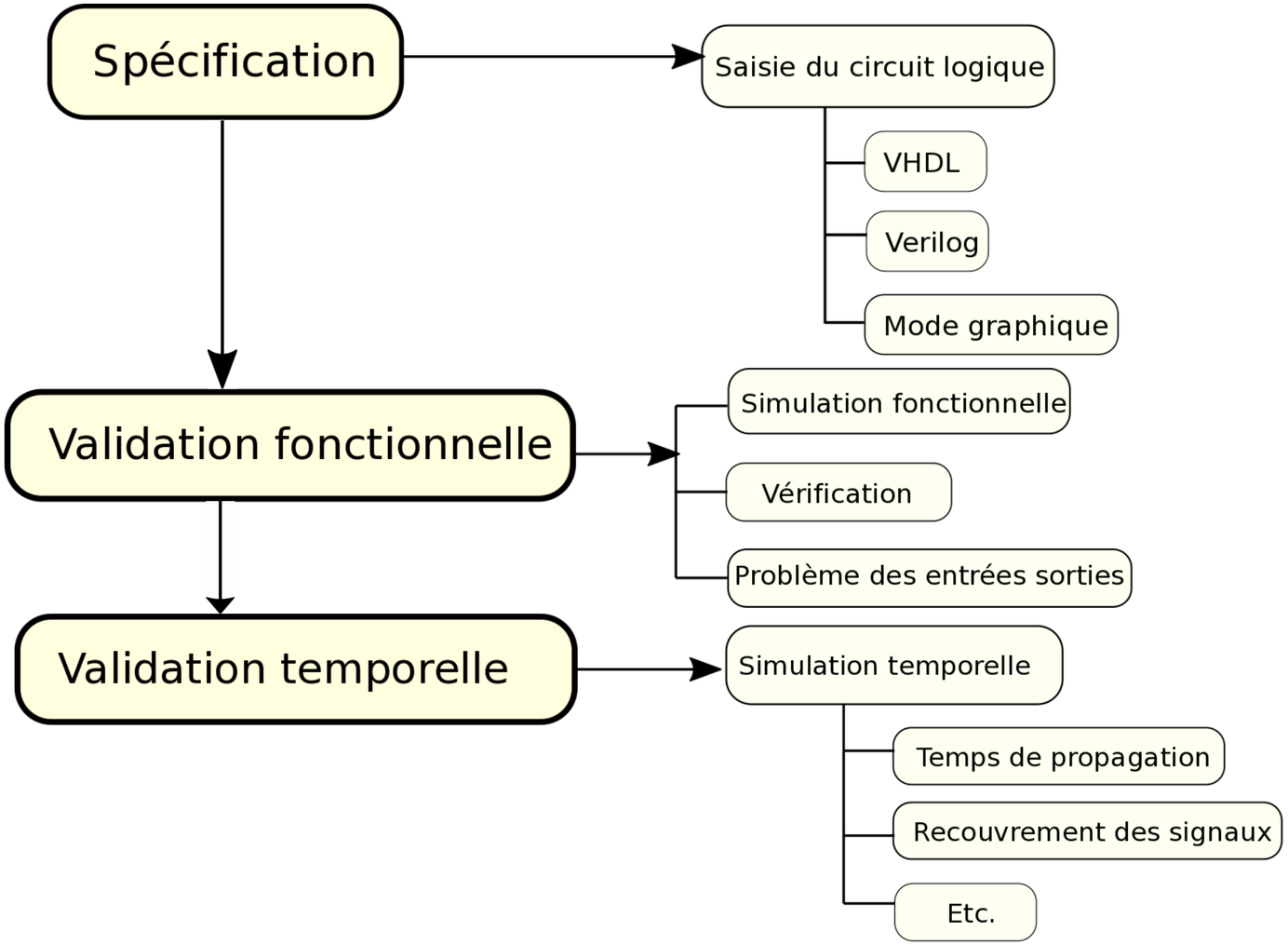
Méthodologie de conception des FPGA (CPLD)



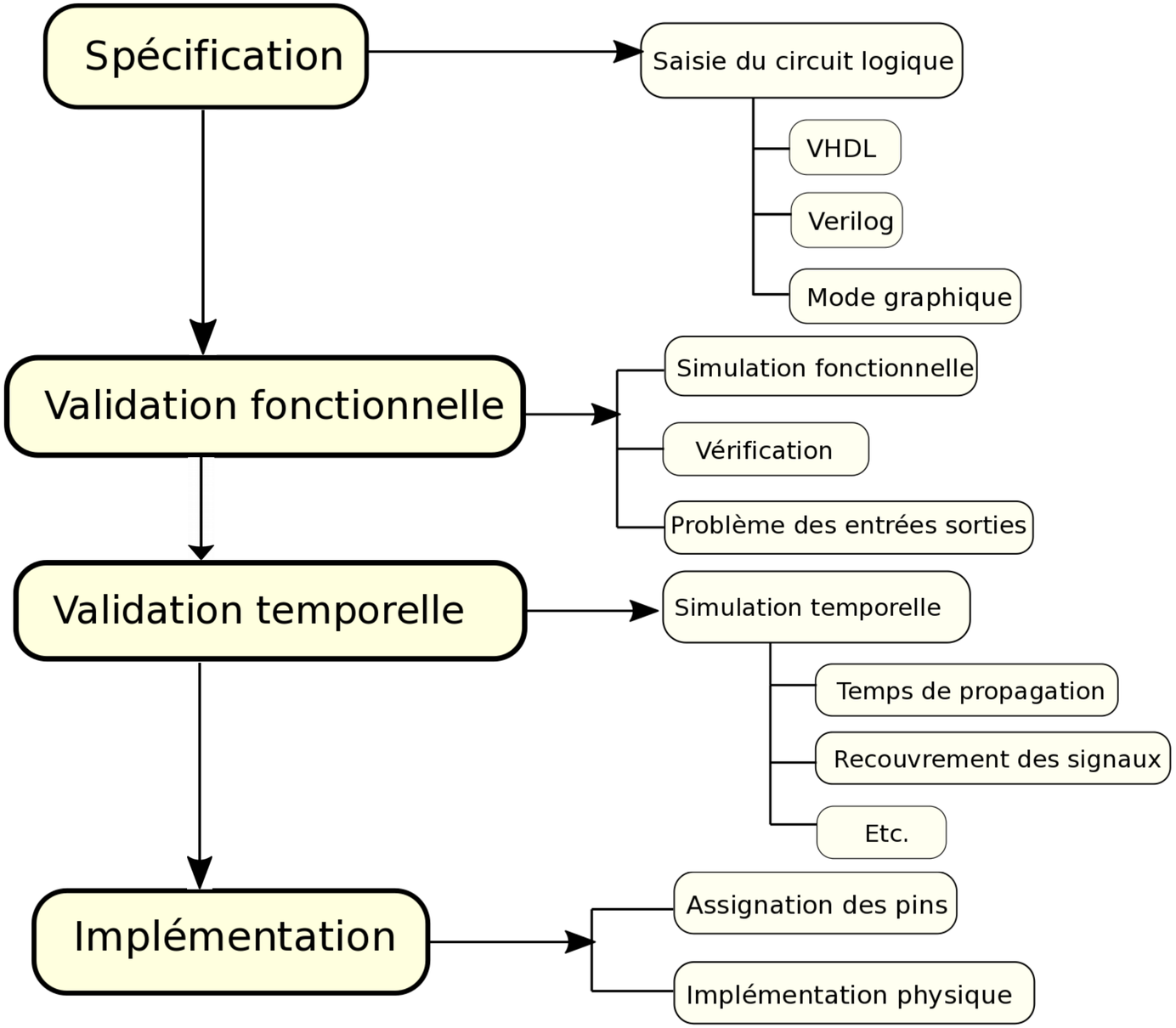
Méthodologie de conception des FPGA (CPLD)



Méthodologie de conception des FPGA (CPLD)



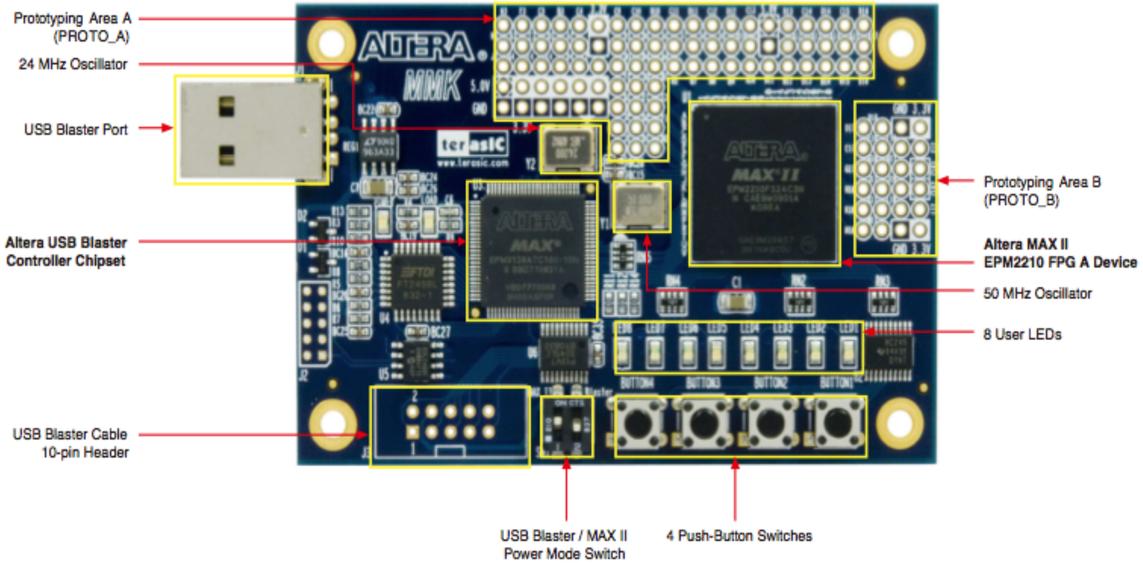
Méthodologie de conception des FPGA (CPLD)



Environnement de développement

- Synthèse avec les deux principaux plateformes de développement
  - Altera Quartus II
  - Xilinx ISE
- Simulation.
  - ModelSim

CARTE DEO (NANO) (ALTERA)



Specifications FPGA

• Altera MAX II EPM2210F324 FPGA device

I/O Devices

• Built-in USB Blaster for FPGA configuration

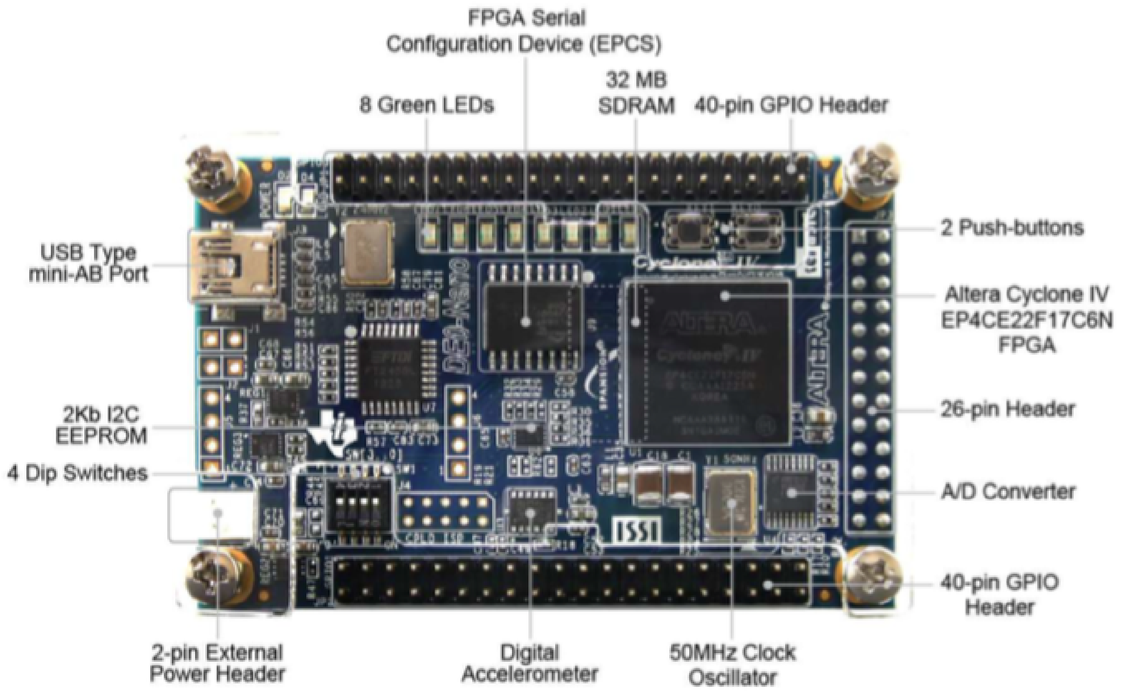
Switches, LEDs, and Clocks

• 1 DIP switche
• 4 pushbutton switches
• 2 red user LEDs,
• 2 yellow user LEDs,
• 2 blue user LEDs,
• 2 green user LEDs
• 50-MHz oscillator for clock sources
• Powered by USB

Prototyping Areas

•A 40-pin expansion port area compatible with Altera DE2/DE1 expansion ports.
•Prototyping Area A with **68** *GPIO*, **6** *3.3V*, **2** *5V* and **8** *GND* pins
•Prototyping Area B with **20** *GPIO*, **2** *3.3V*, and **2** *GND* pins

CARTE DEO (NANO) (ALTERA)



Specifications FPGA

• Altera CYCLONE IV EP4CE22F17C6N FPGA device
- 256 pins, 47 cellules

I/O Devices

• Built-in USB Blaster for FPGA configuration

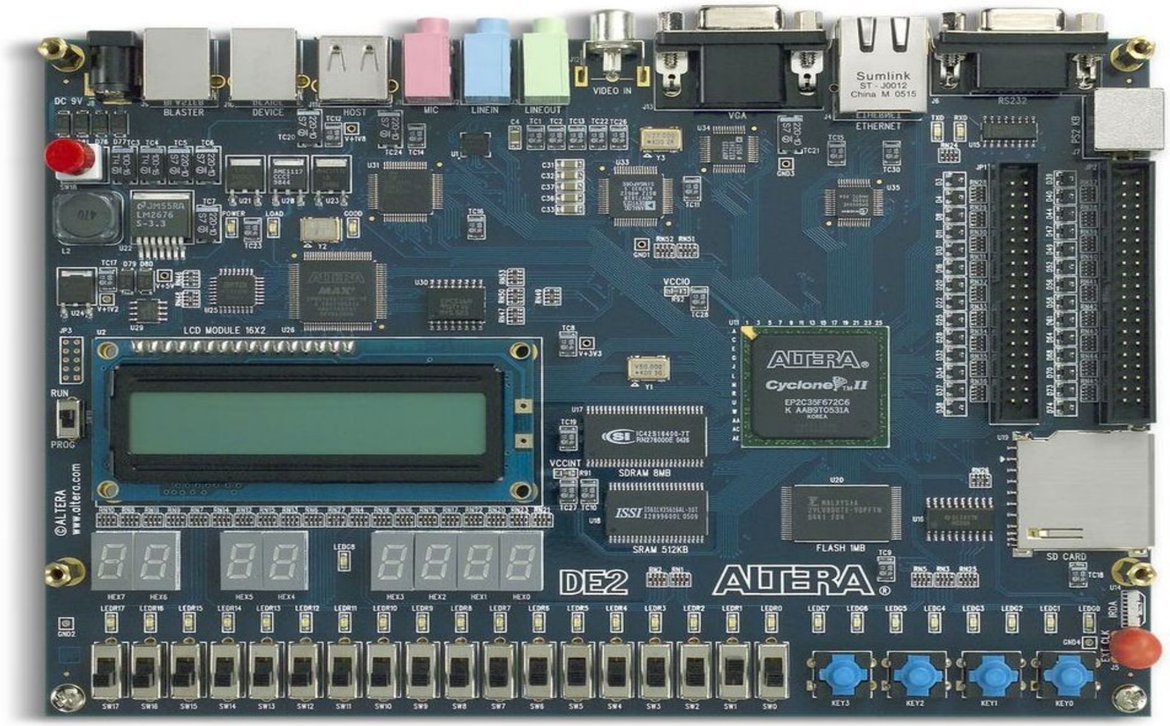
Switches, LEDs, Displays, and Clocks

• 4 DIP switch
• 2 pushbutton switches
• 2 red user LEDs,
• 2 yellow user LEDs,
• 2 blue user LEDs,
• 2 green user LEDs
• 50-MHz oscillator for clock sources
• Powered by USB
. A/D Converter, 8 channel – 12 bit A/D Converter

Prototyping Areas

•Two 40-pin Headers GPIO compatible provide 72 I/O pin, 5V Power pin, Two 3,3V and four ground pins .
•32MB SDRAM, 2Kb I2C EEPROM

CARTE DE2 (ALTERA)



Specifications FPGA

- Cyclone II EP2C35F672C6 FPGA
- 672 pins, 4276 cellules

I/O Devices

- Built-in USB Blaster for FPGA configuration
- 10/100 Ethernet, RS-232, Infrared port
- Video Out (VGA 10-bit DAC)
- Video In (NTSC/PAL/Multi-format)
- USB 2.0 (type A and type B)
- PS/2 mouse or keyboard port
- Line-in, Line-out, microphone-in

(24-bit audio CODEC)

- Expansion headers (76 signal pins)

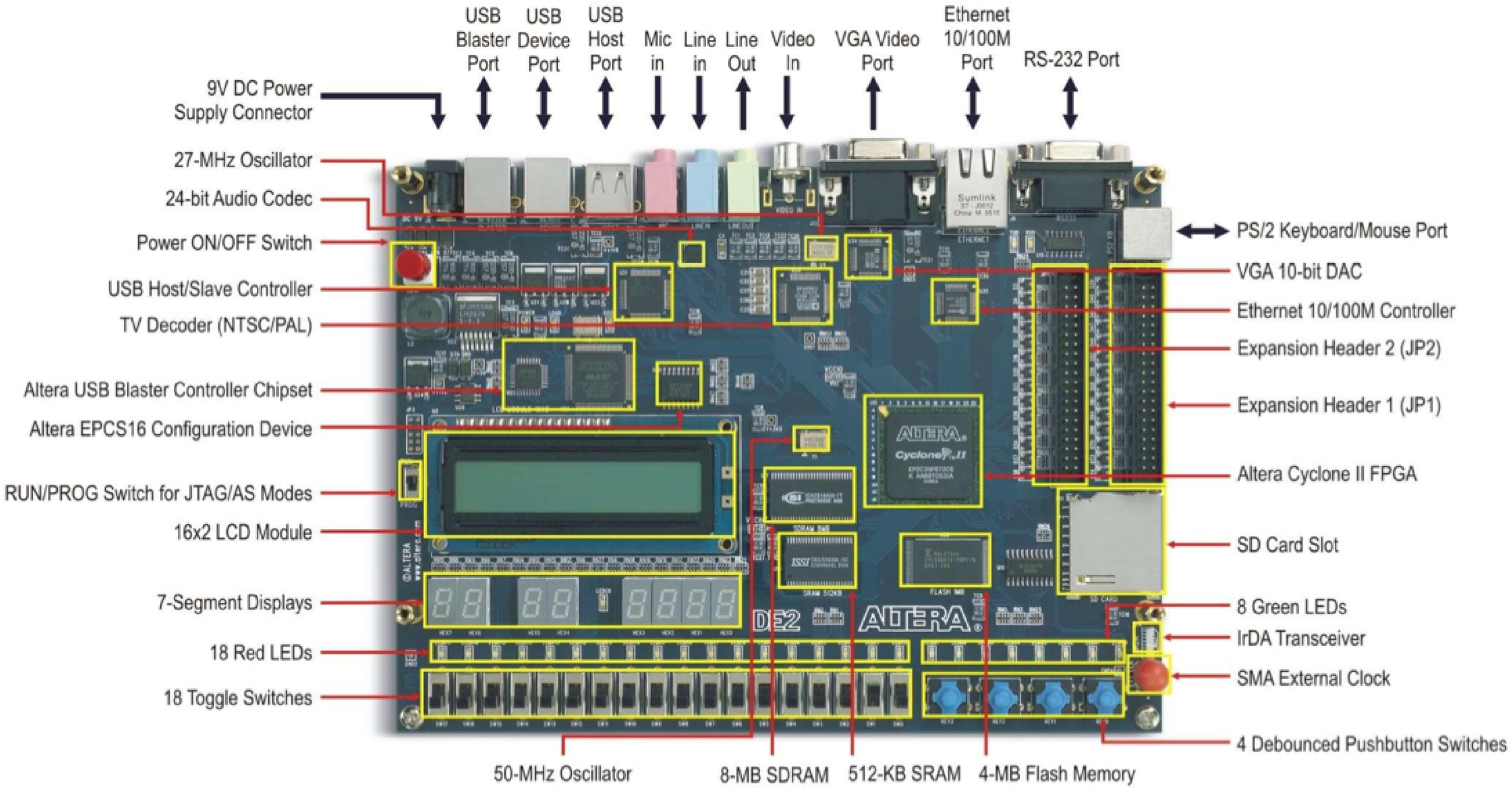
Memory

- 8-MB SDRAM, 512-KB SRAM, 4-MB Flash
- SD memory card slot

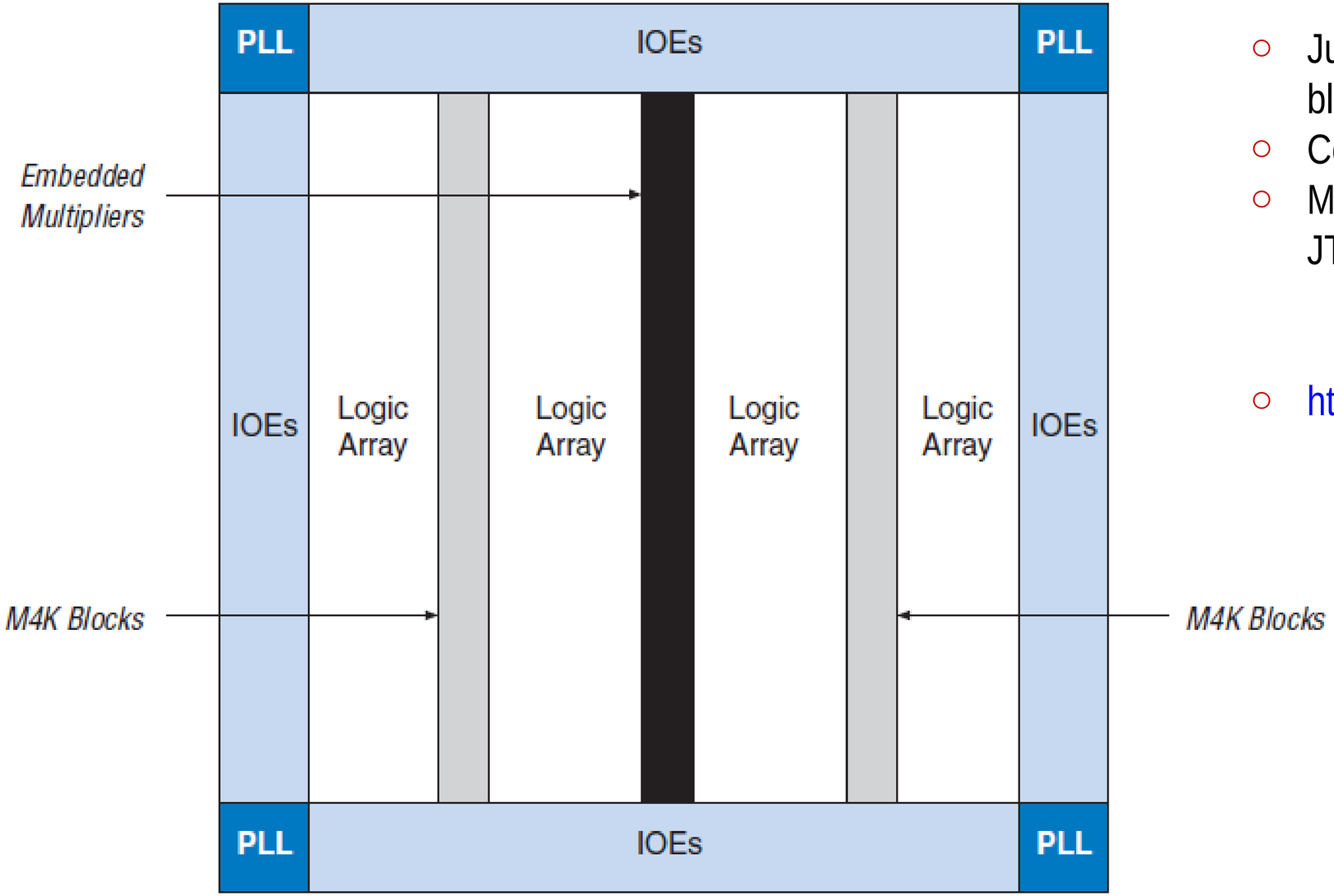
Switches, LEDs, Displays, and Clocks

- 18 toggle switches
- 4 debounced pushbutton switches
- 18 red LEDs, 8 green LEDs
- Eight 7-segment displays
- 16 x 2 LCD display
- 27-MHz and 50-MHz oscillators, external SMA clock input

CARTE DE2 (ALTERA)



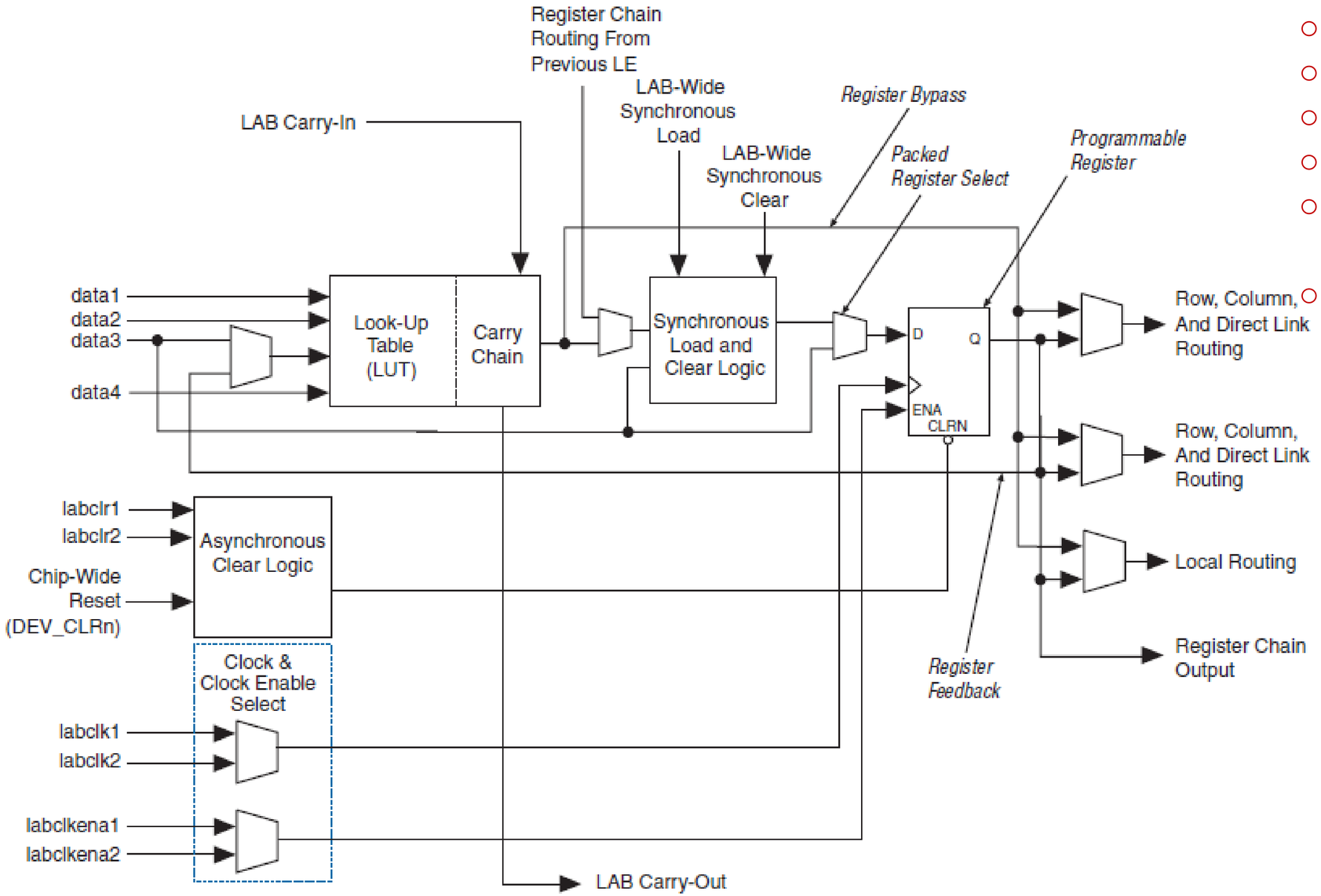
Exemple d'ALTERA : Le cyclone II



- Jusqu'à 68416 éléments logiques regroupés par blocs de 16
- Configuration rapide en moins de 100ms
- Mode de configuration série USB BLASTER ou JTAG

- https://www.altera.com

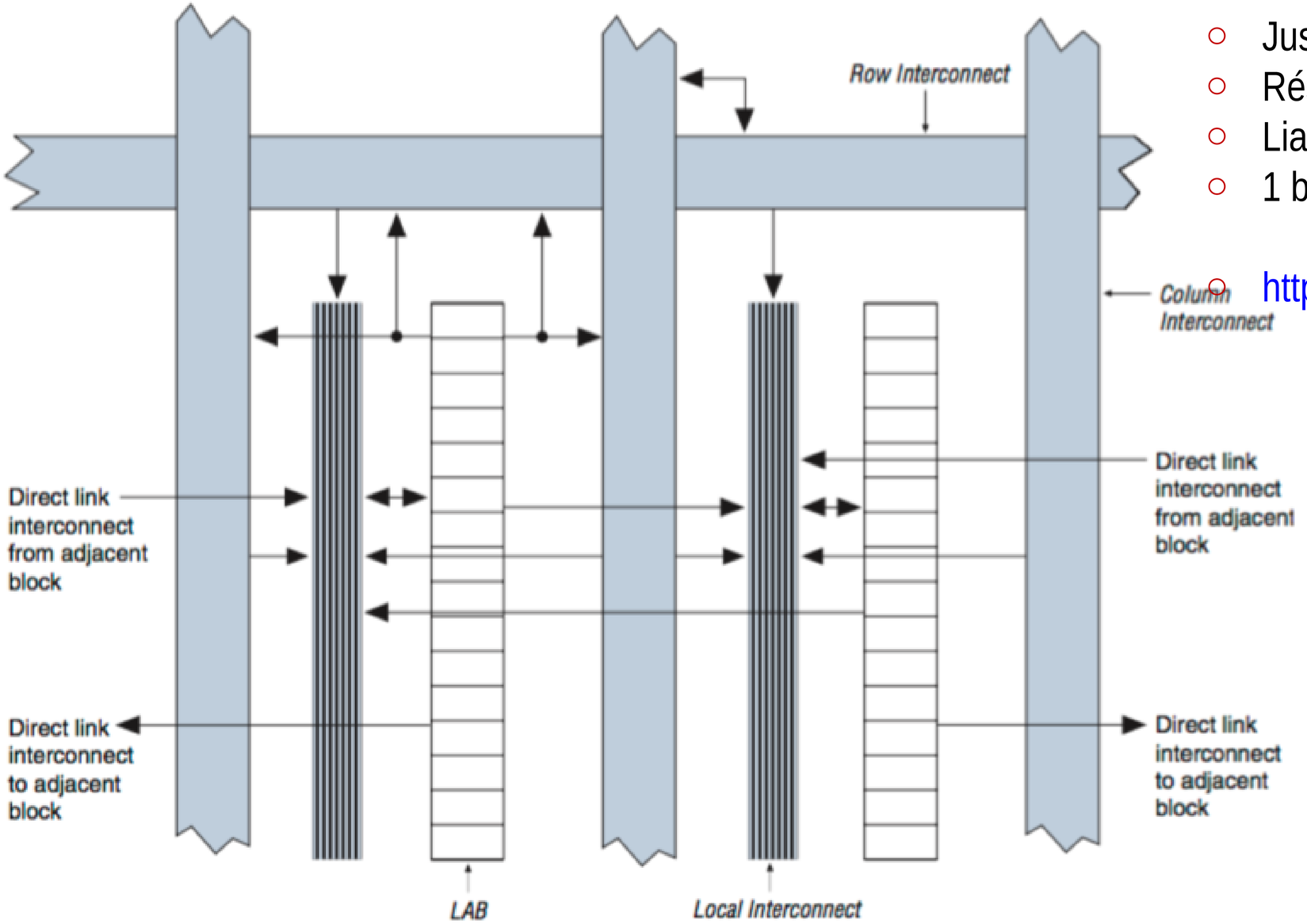
Cyclone II (architecture d'un élément logique)



- 4 entrées
- 1 registre de sortie programmable
- 1 entrée de retenue
- 1 sortie de retenue
- Interconnexion local

- https://www.altera.com

Cyclone II (interconnextions des blocs logiques)



- Jusqu'à 68416 éléments logiques
- Réseau local d'interconnexion
- Liaisons directes avec BL adjacent
- 1 bloc mémoire, Ck, I/O entre BL adjacent

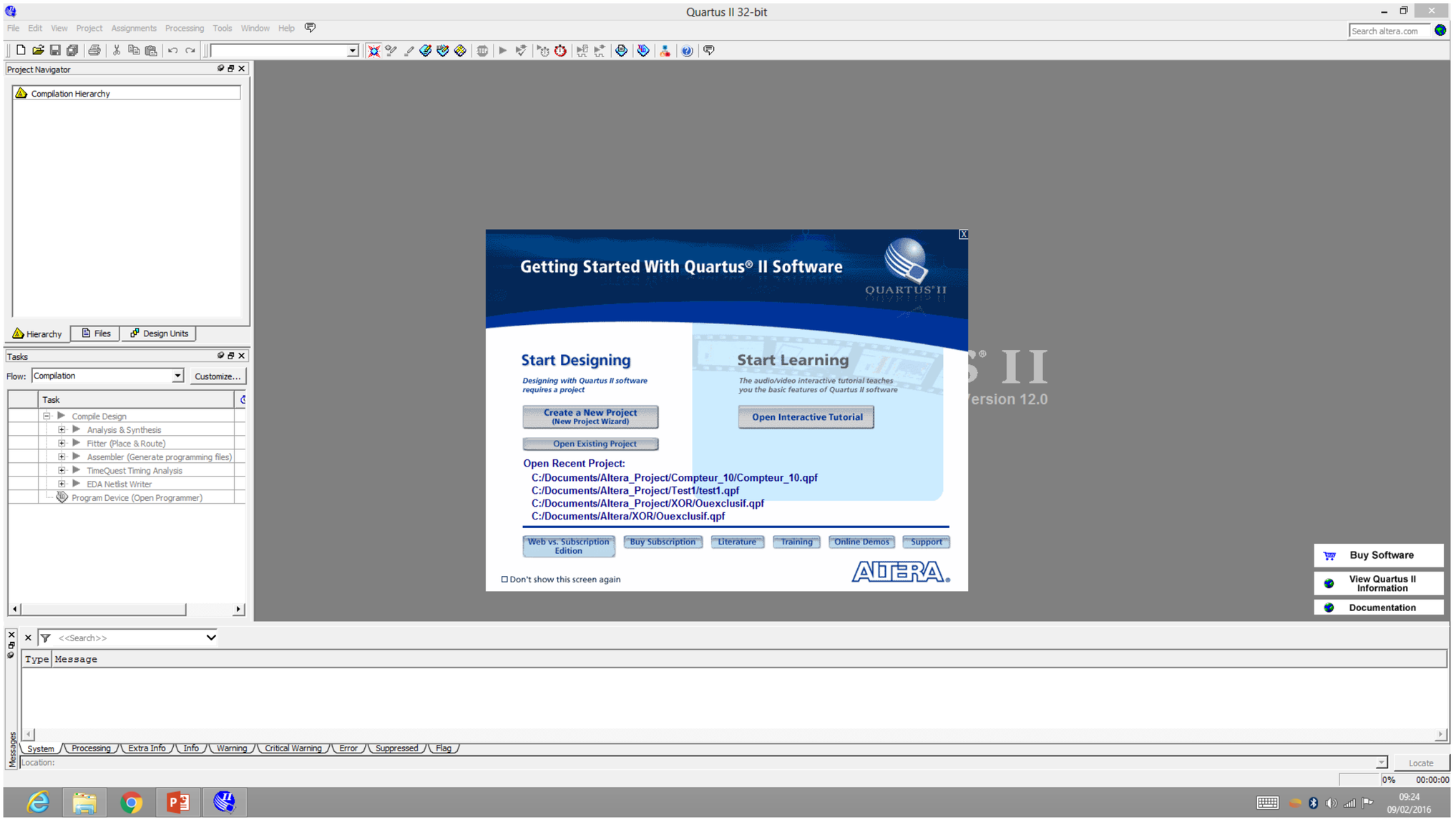
- https://www.altera.com

Environnement de Travail

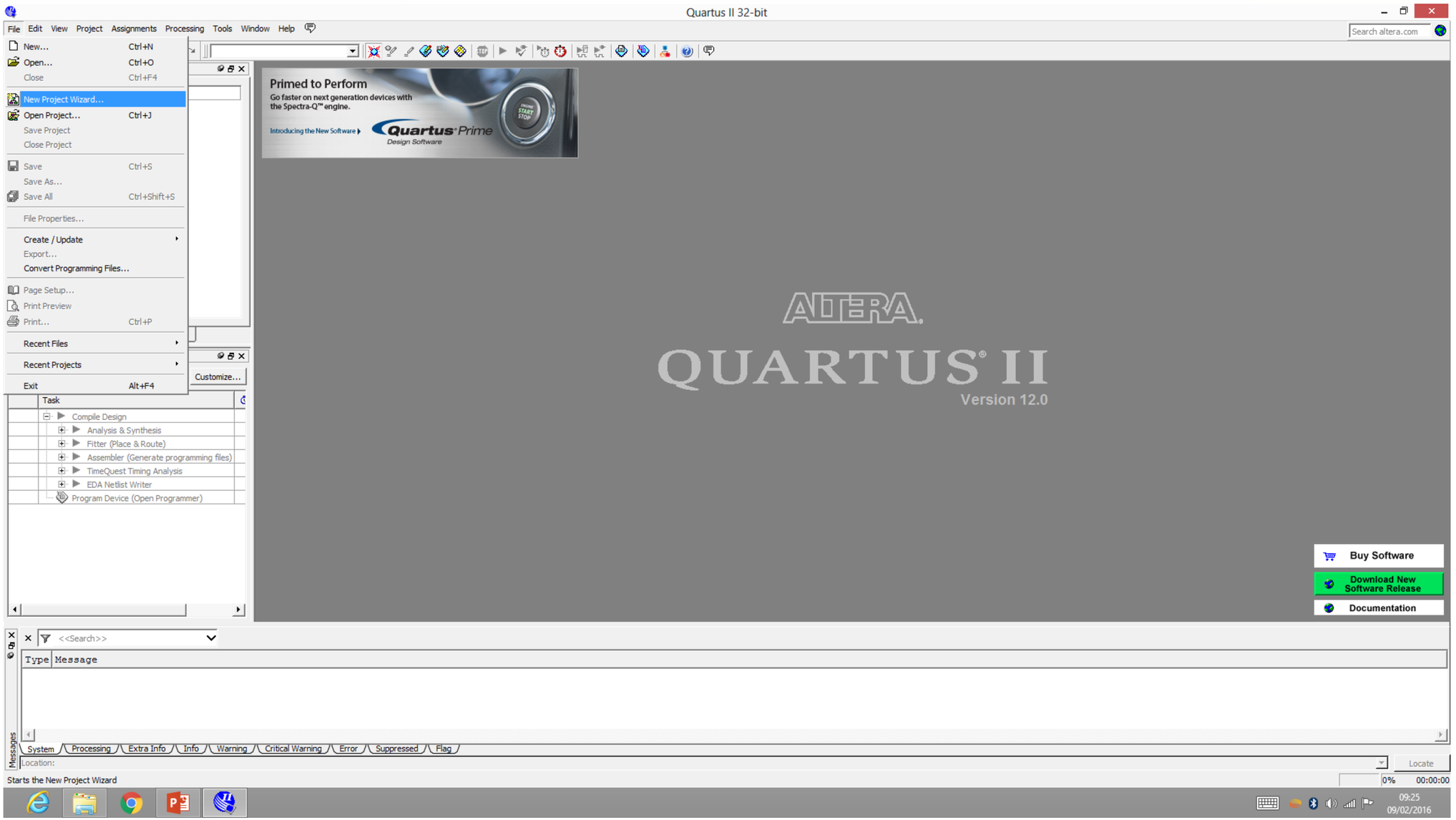
- QUARTUS II Web Edition
  - Logiciel permettant le développement jusqu'à l'implémentation sur la carte FPGA
  - Téléchargement gratuit sur www.altera.com

- Simulateur ModelSim-Altera Web Edition.
- Carte de développement DE0 et DE2

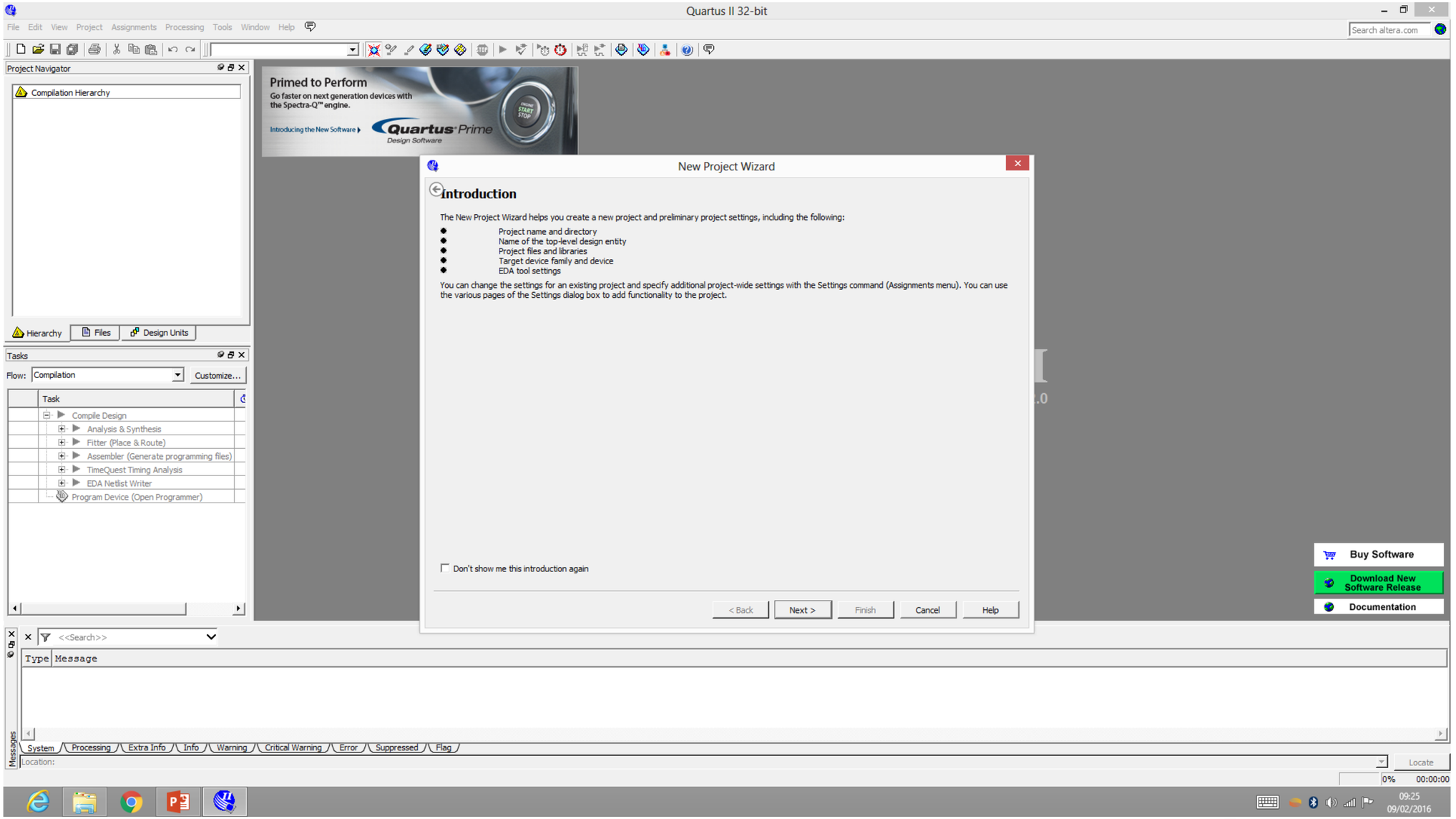
Prise en main de Quartus II



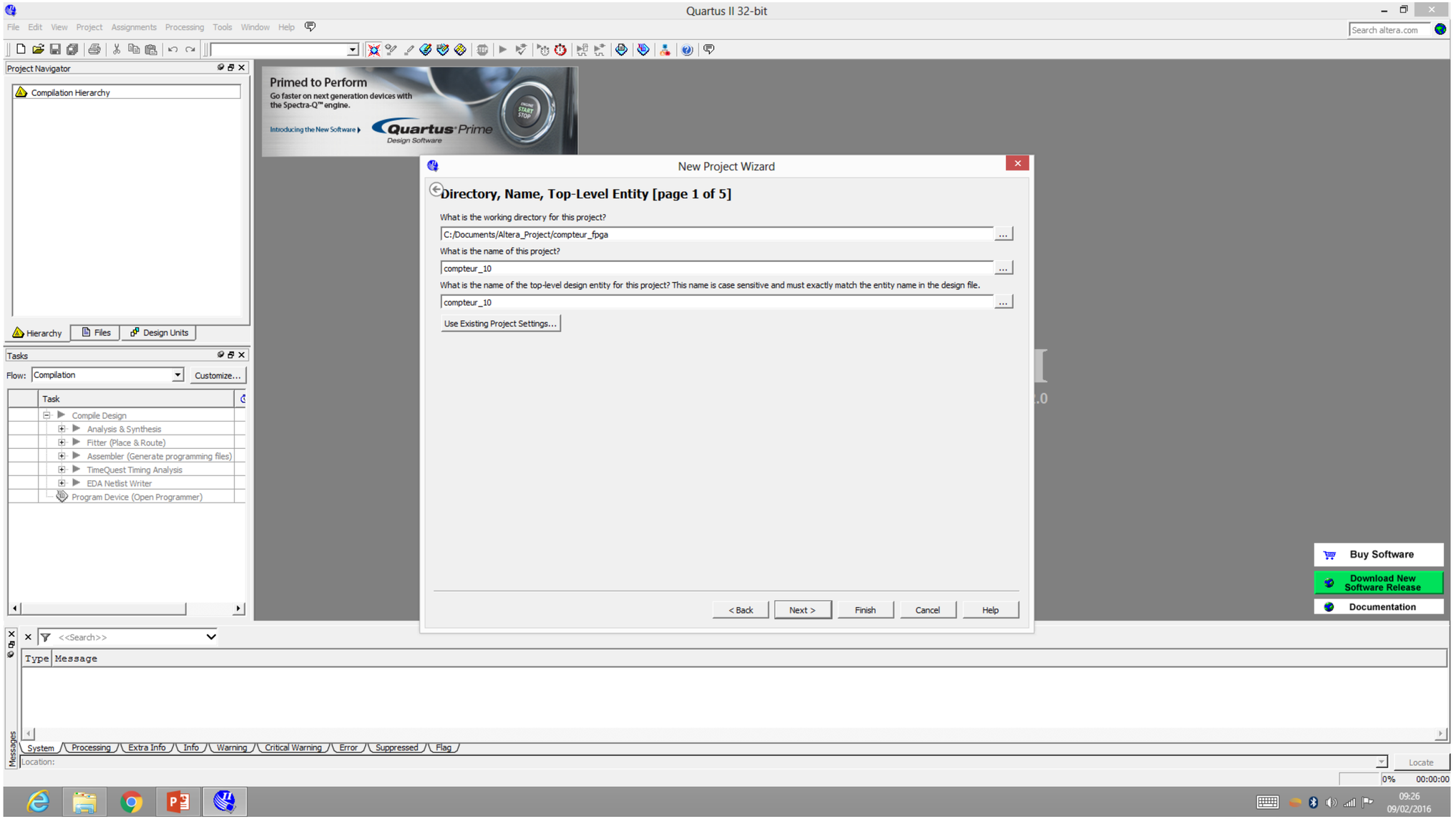
Prise en main de Quartus II



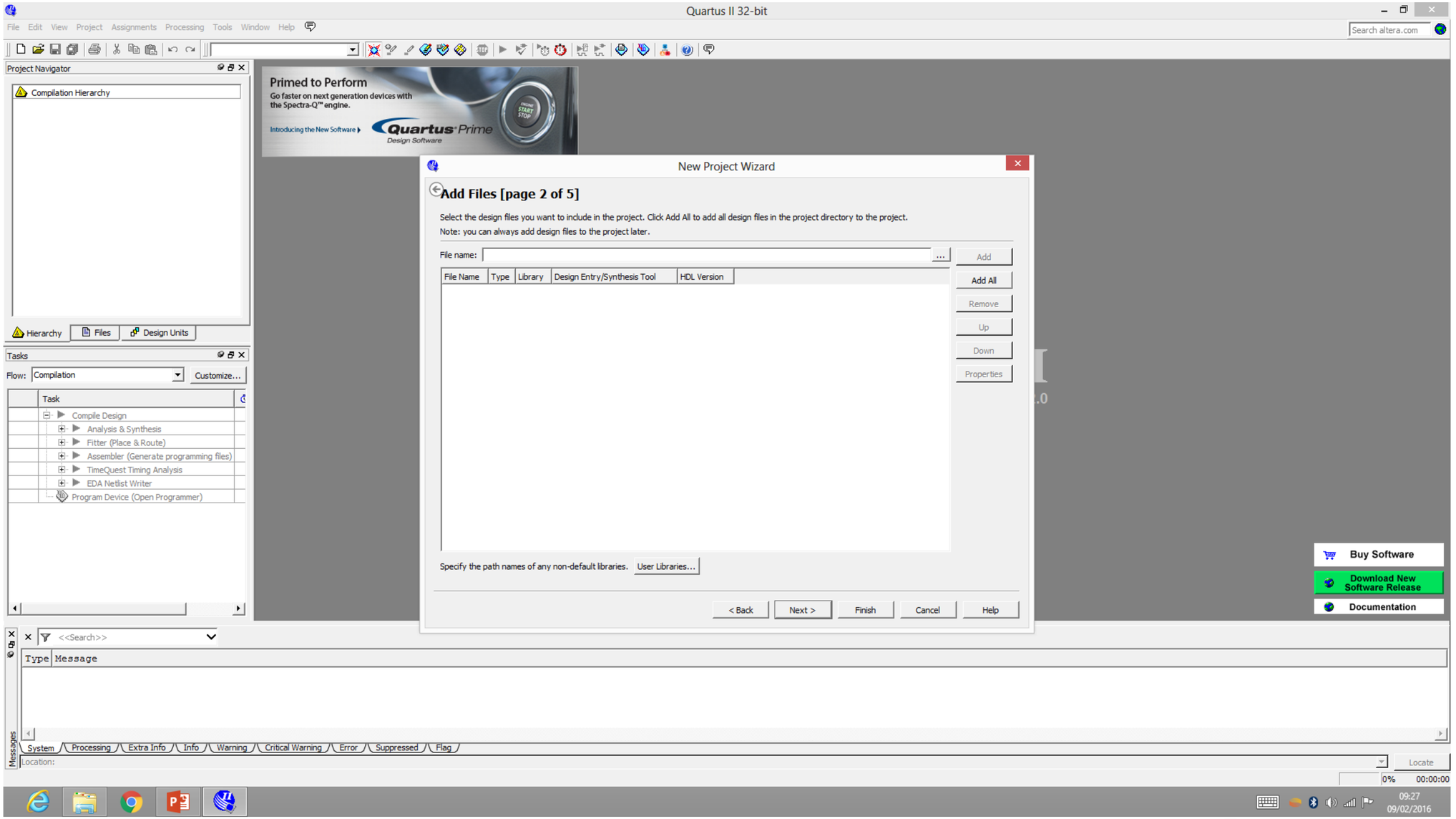
Prise en main de Quartus II



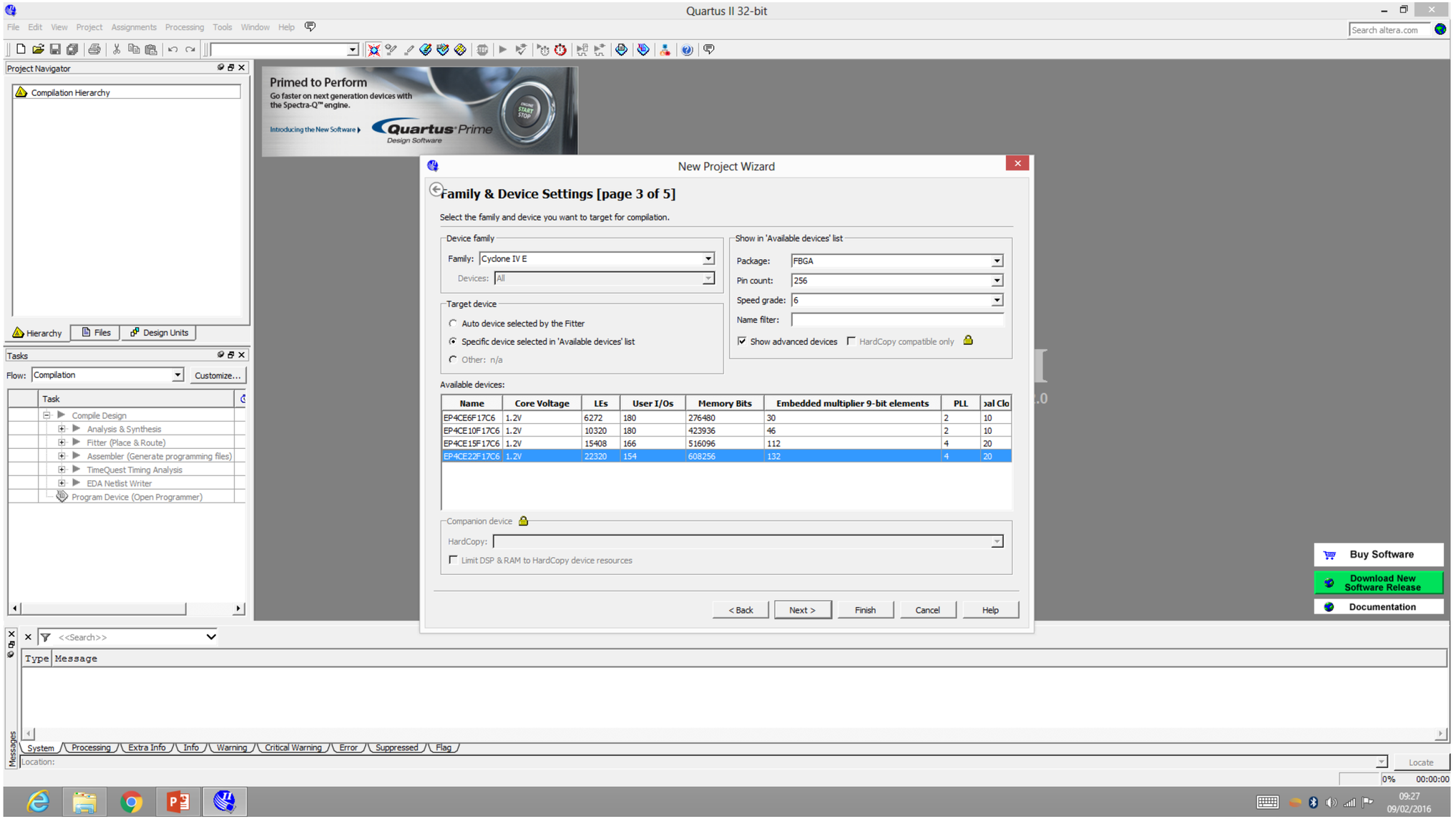
Prise en main de Quartus II



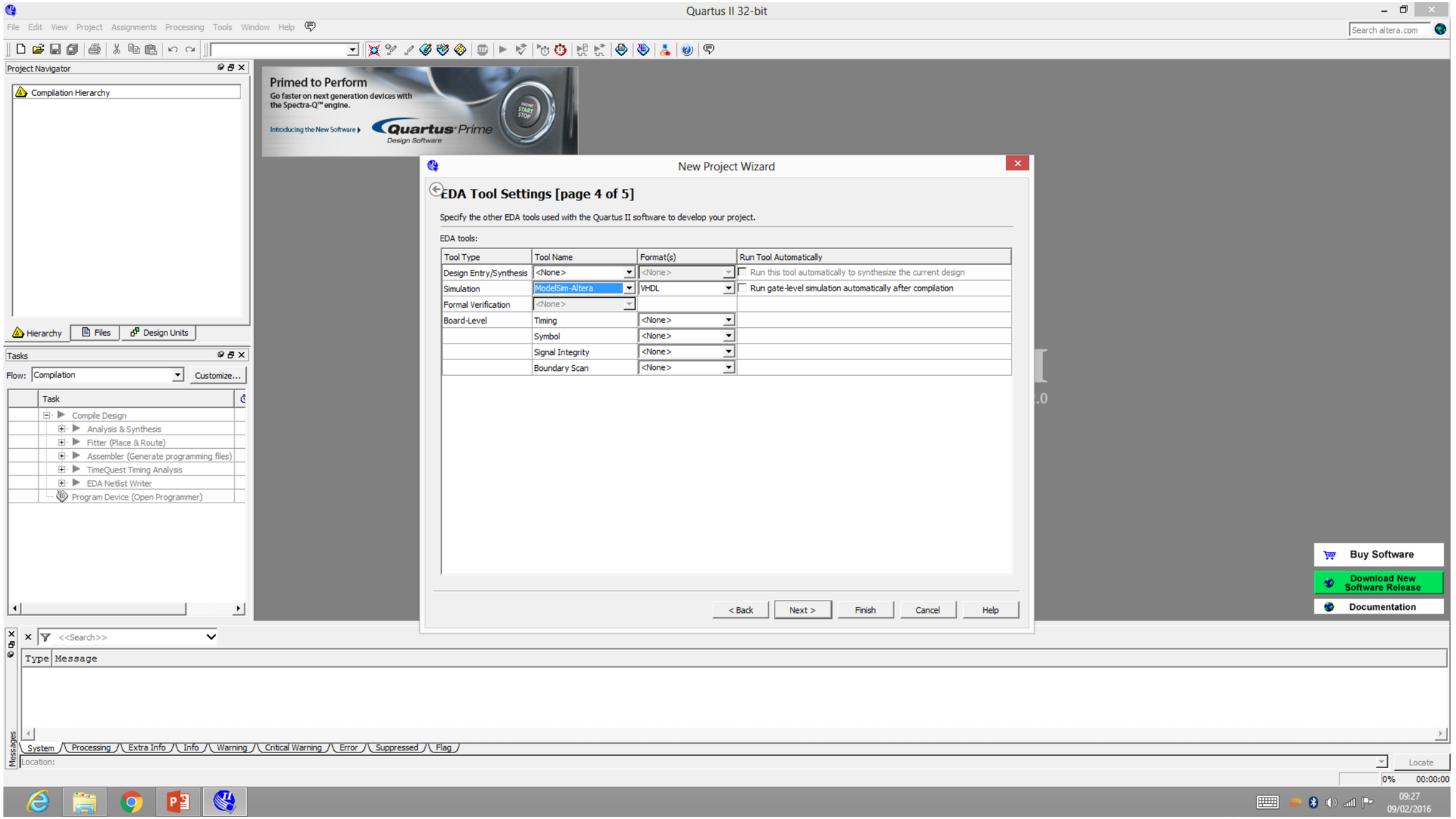
Prise en main de Quartus II



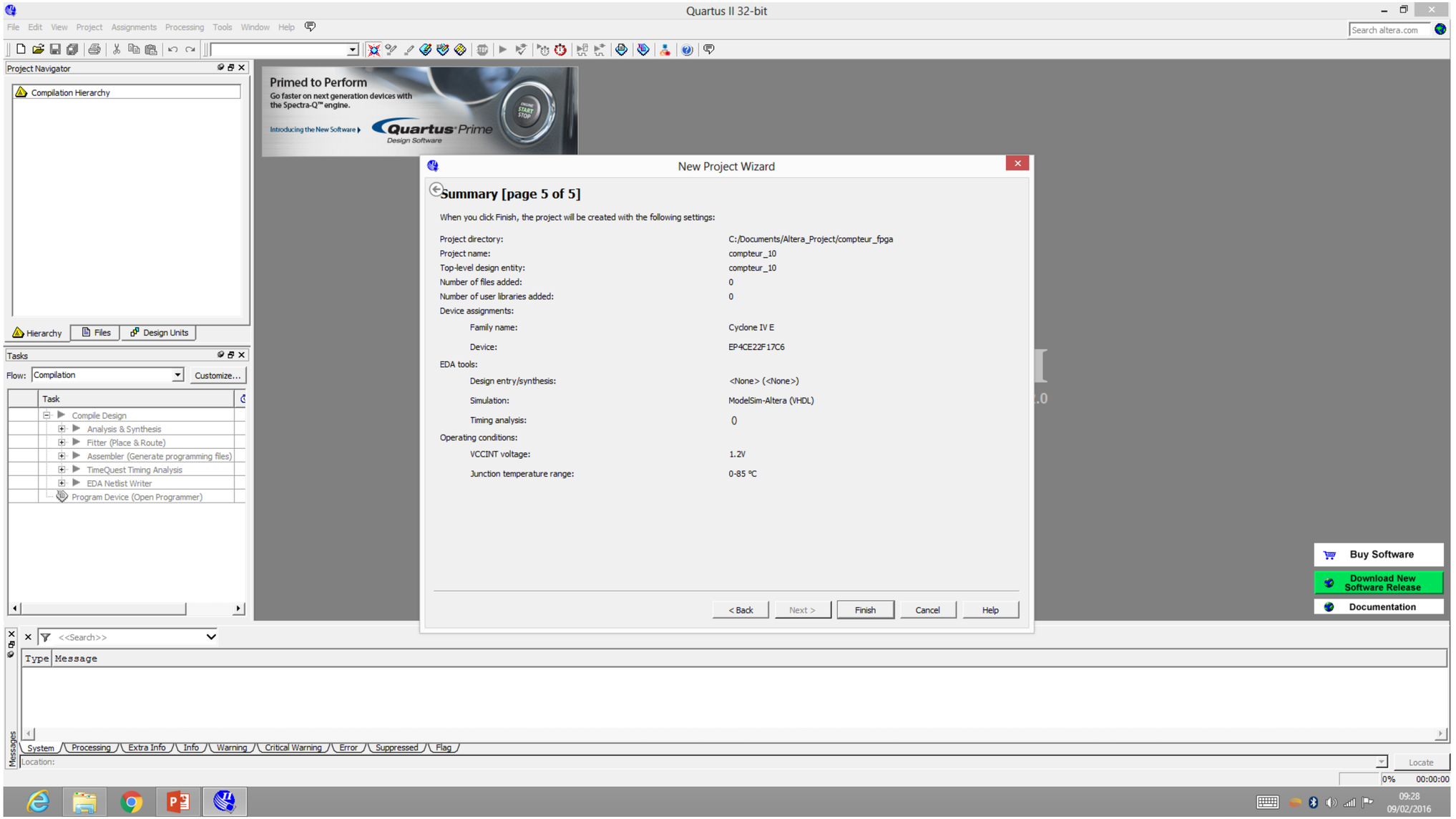
Prise en main de Quartus II



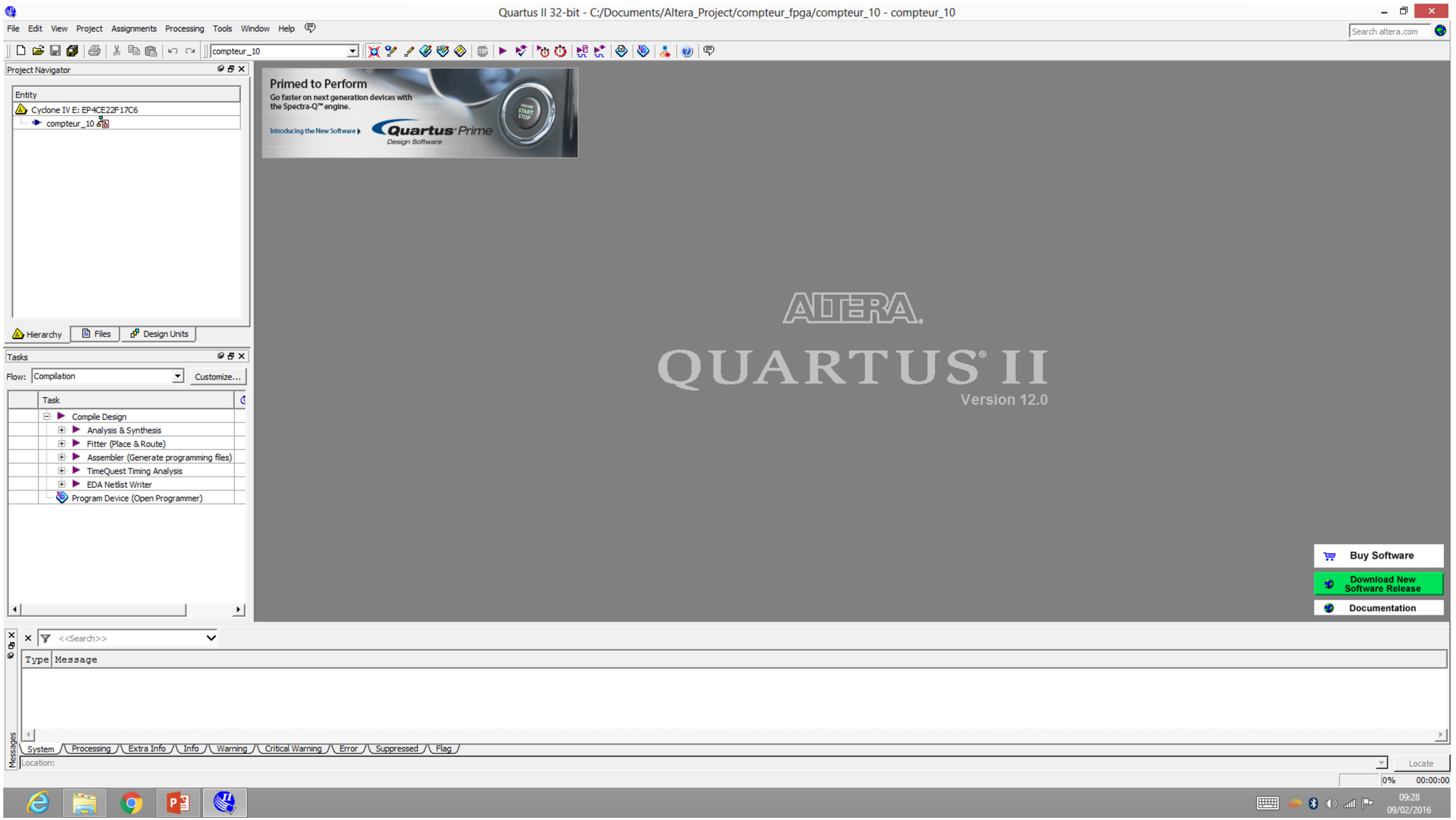
Prise en main de Quartus II



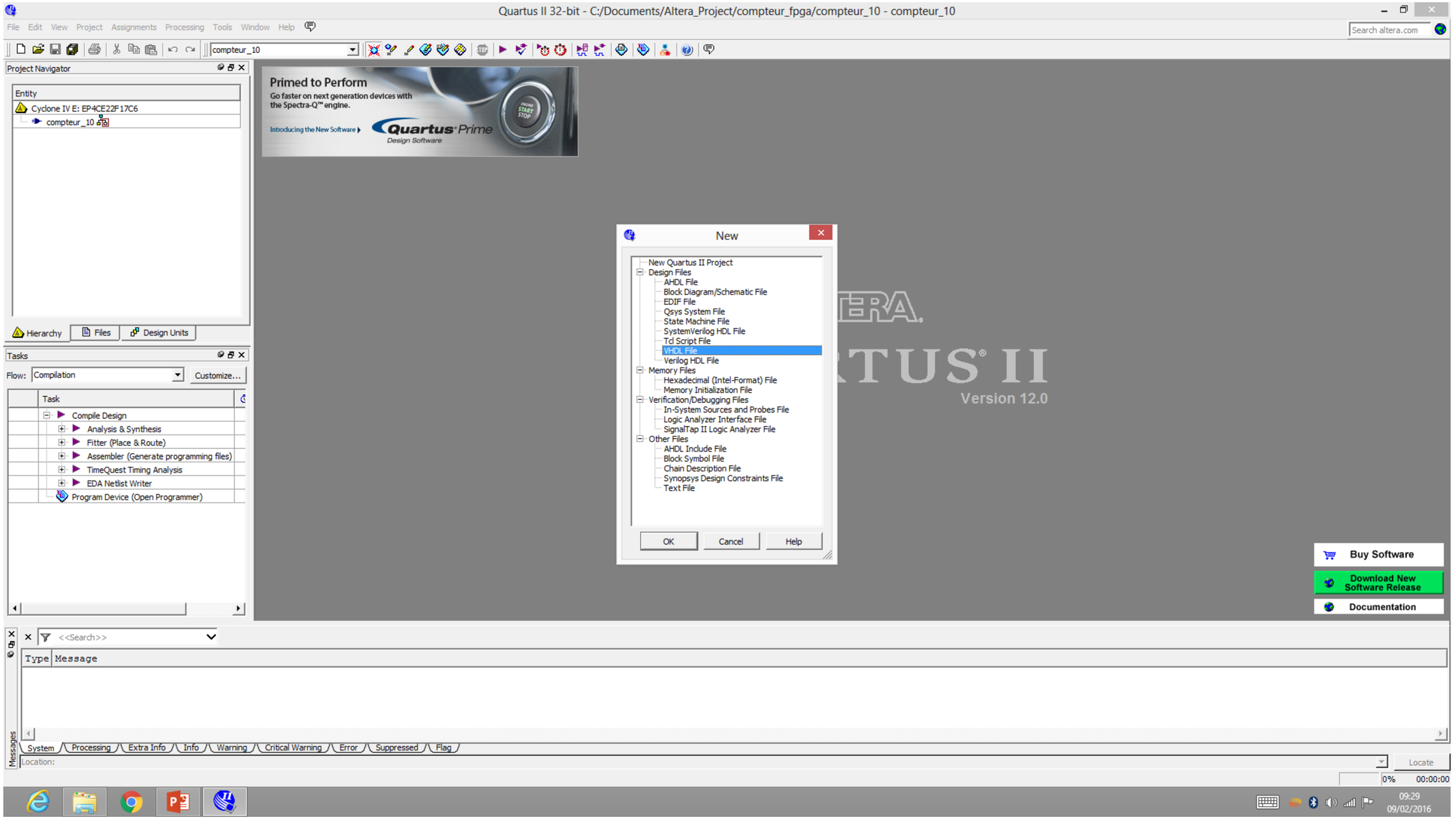
Prise en main de Quartus II



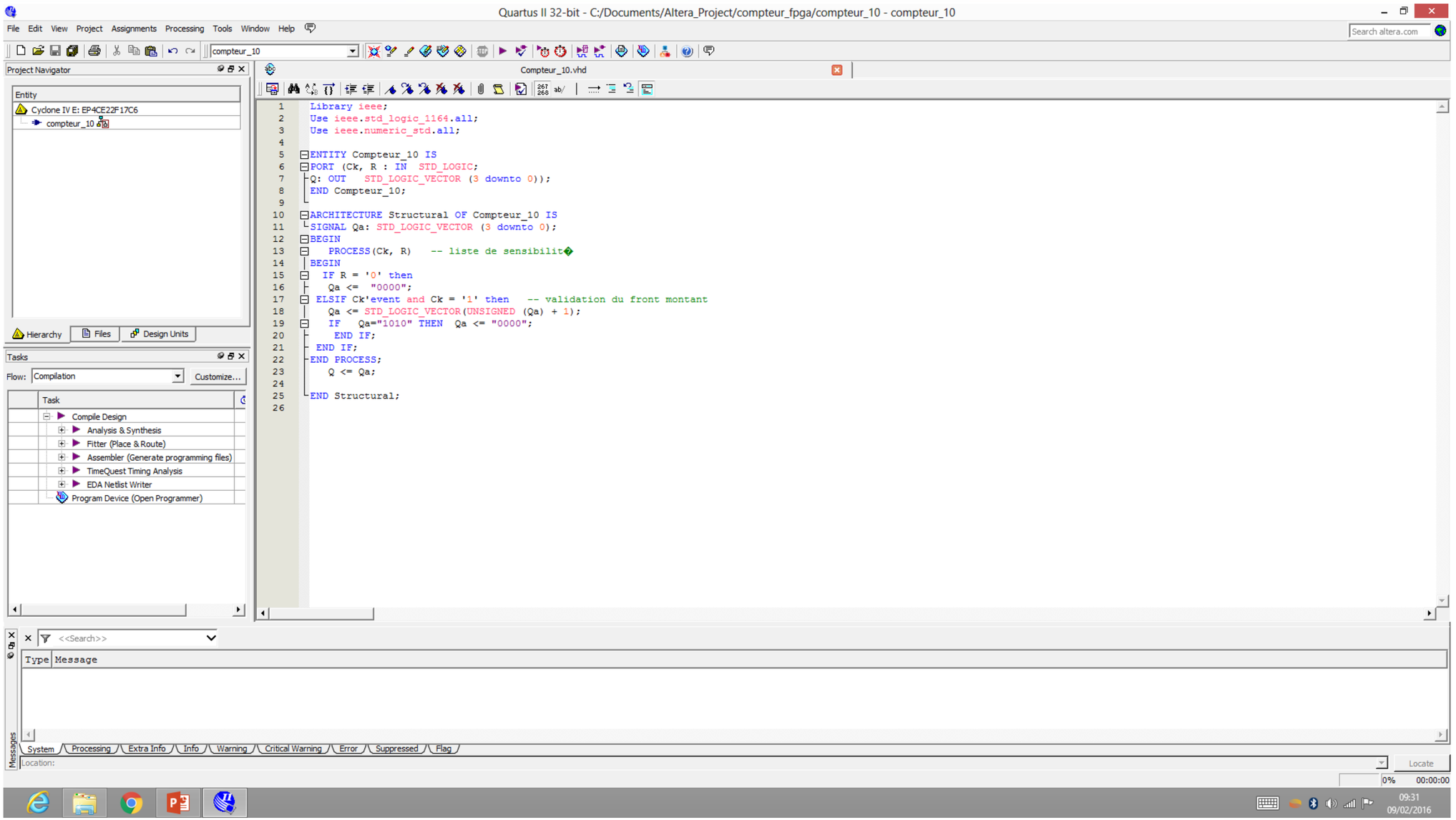
Prise en main de Quartus II



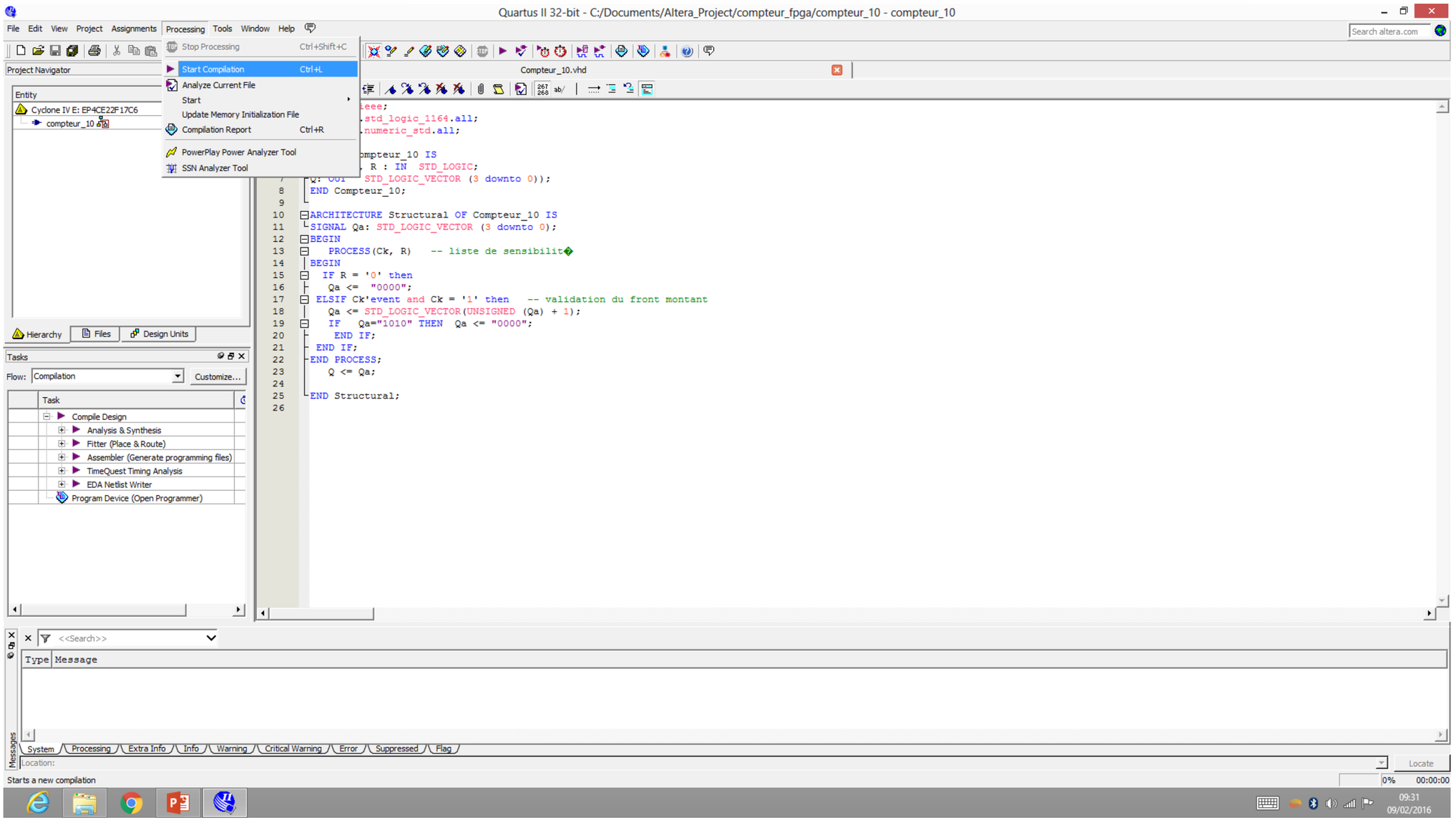
Prise en main de Quartus II



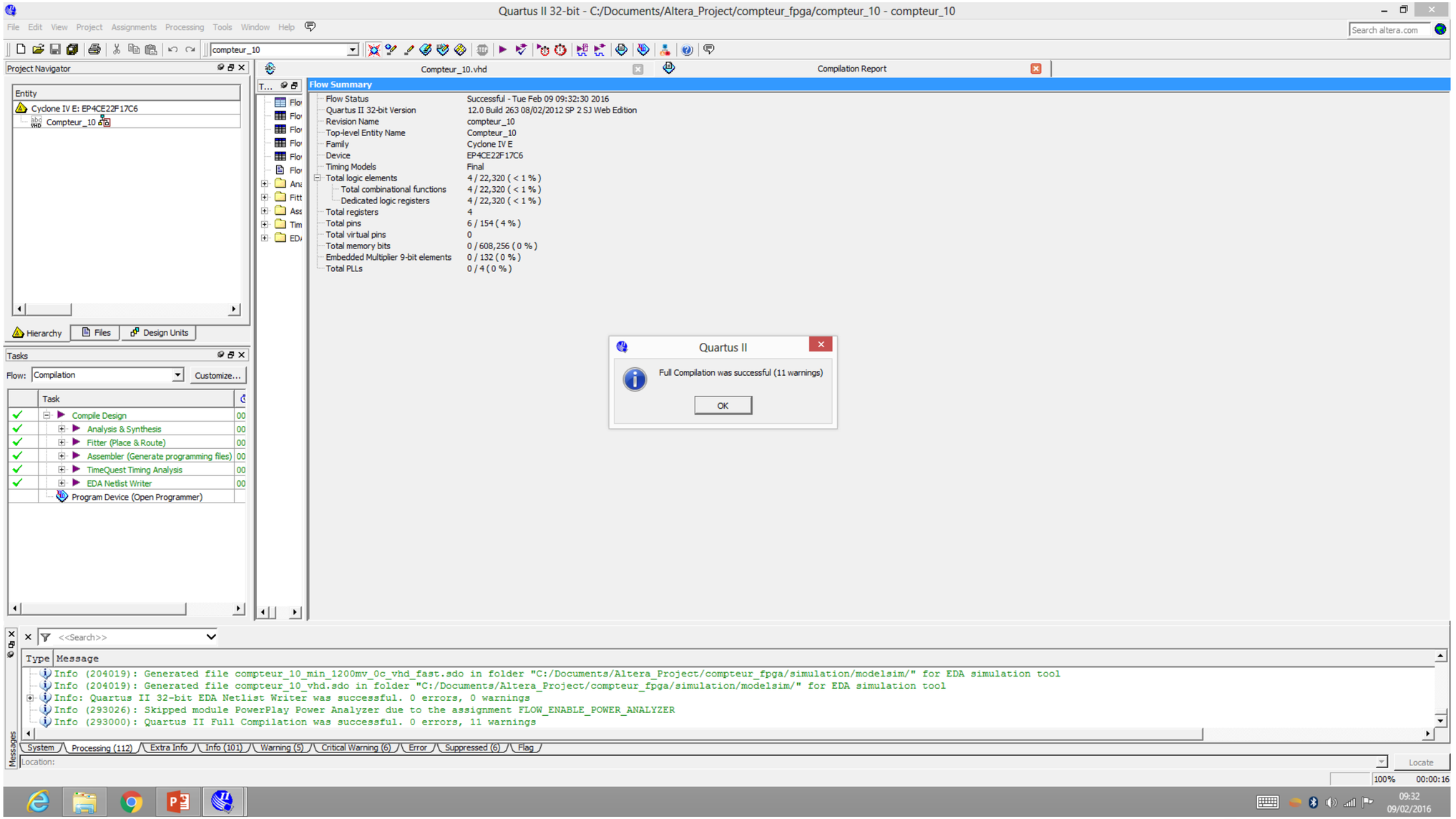
Prise en main de Quartus II



Prise en main de Quartus II



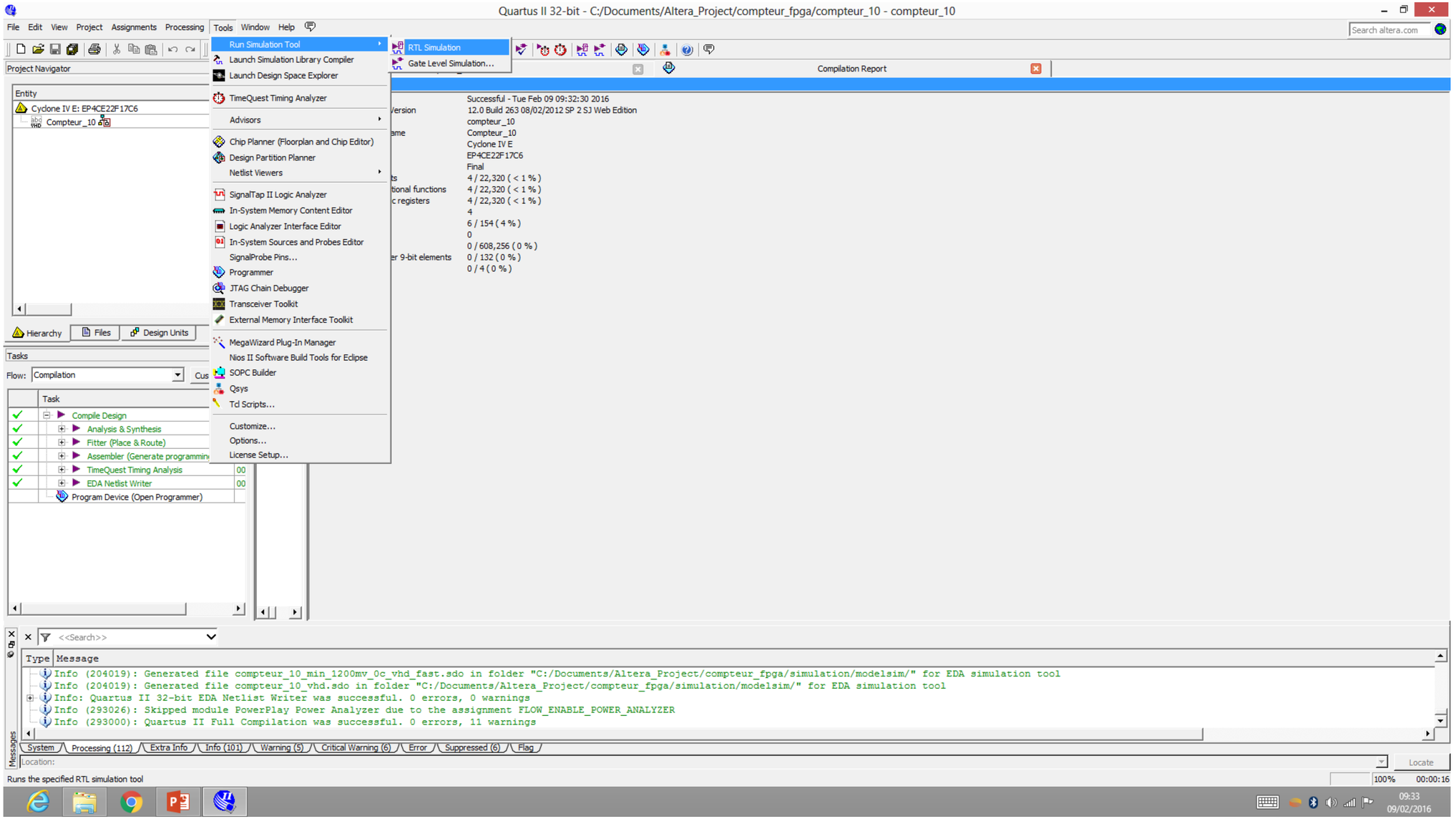
Prise en main de Quartus II



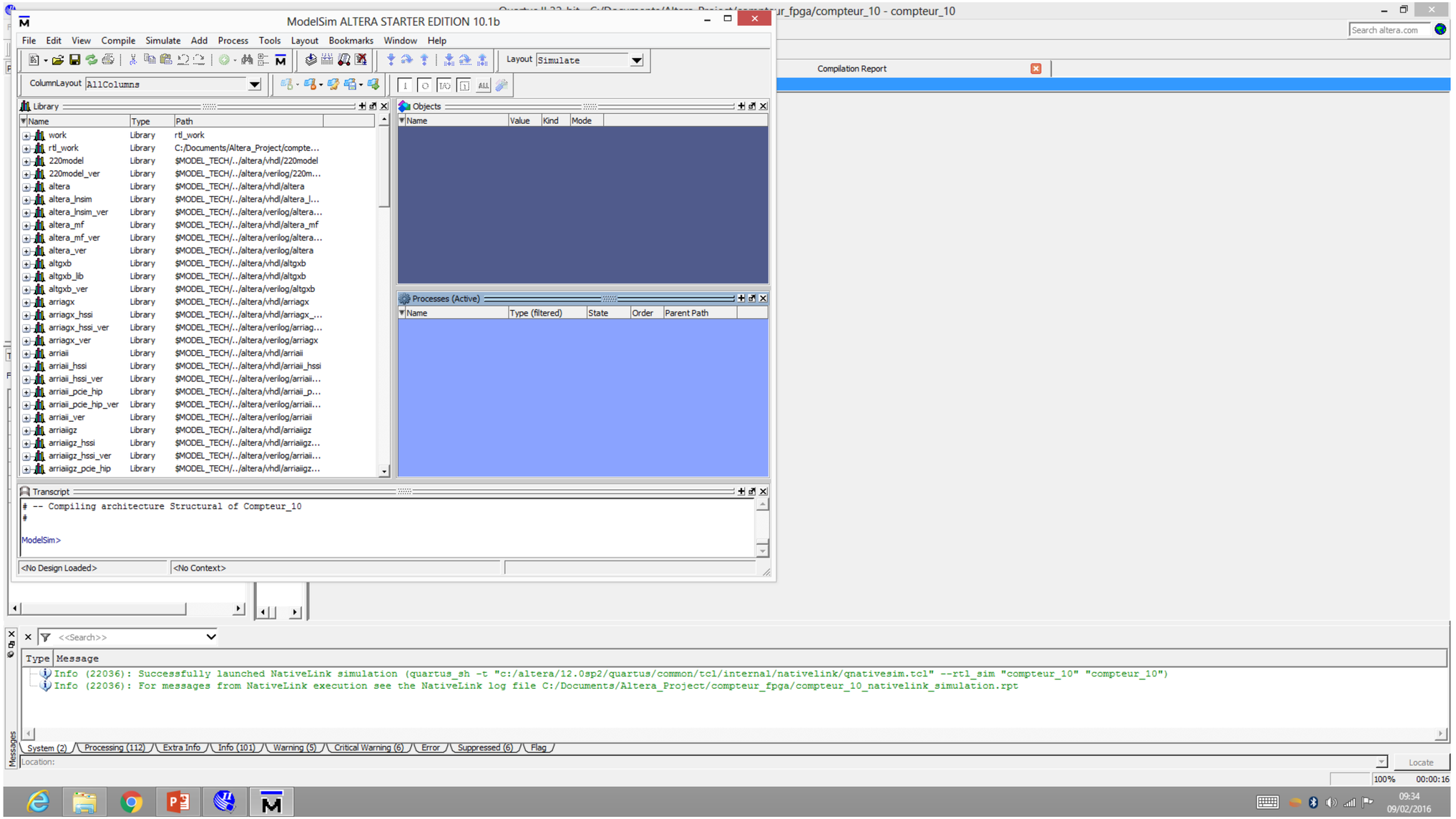
Prise en main de Quartus II

- Validation du circuit

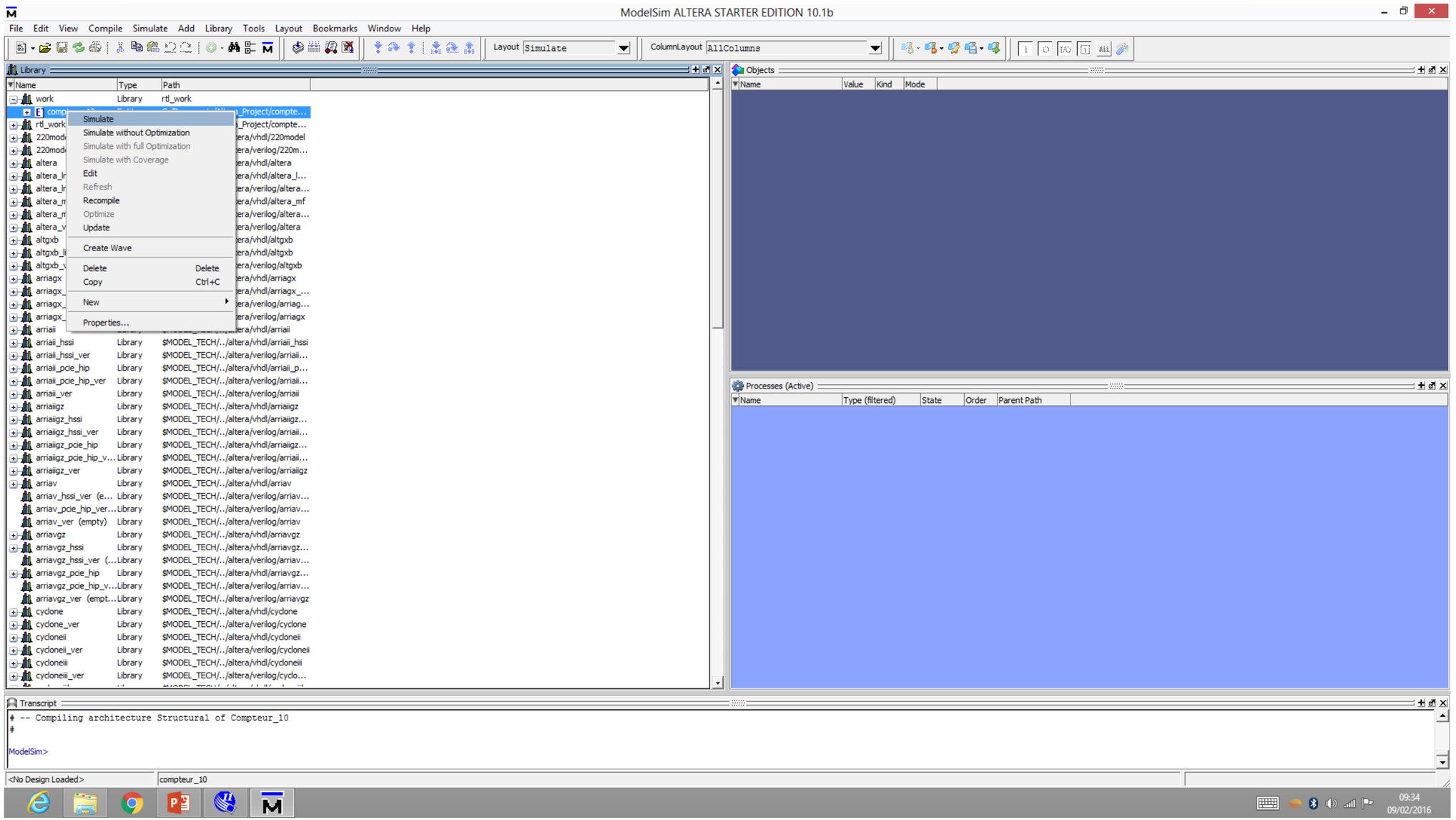
Prise en main de Quartus II



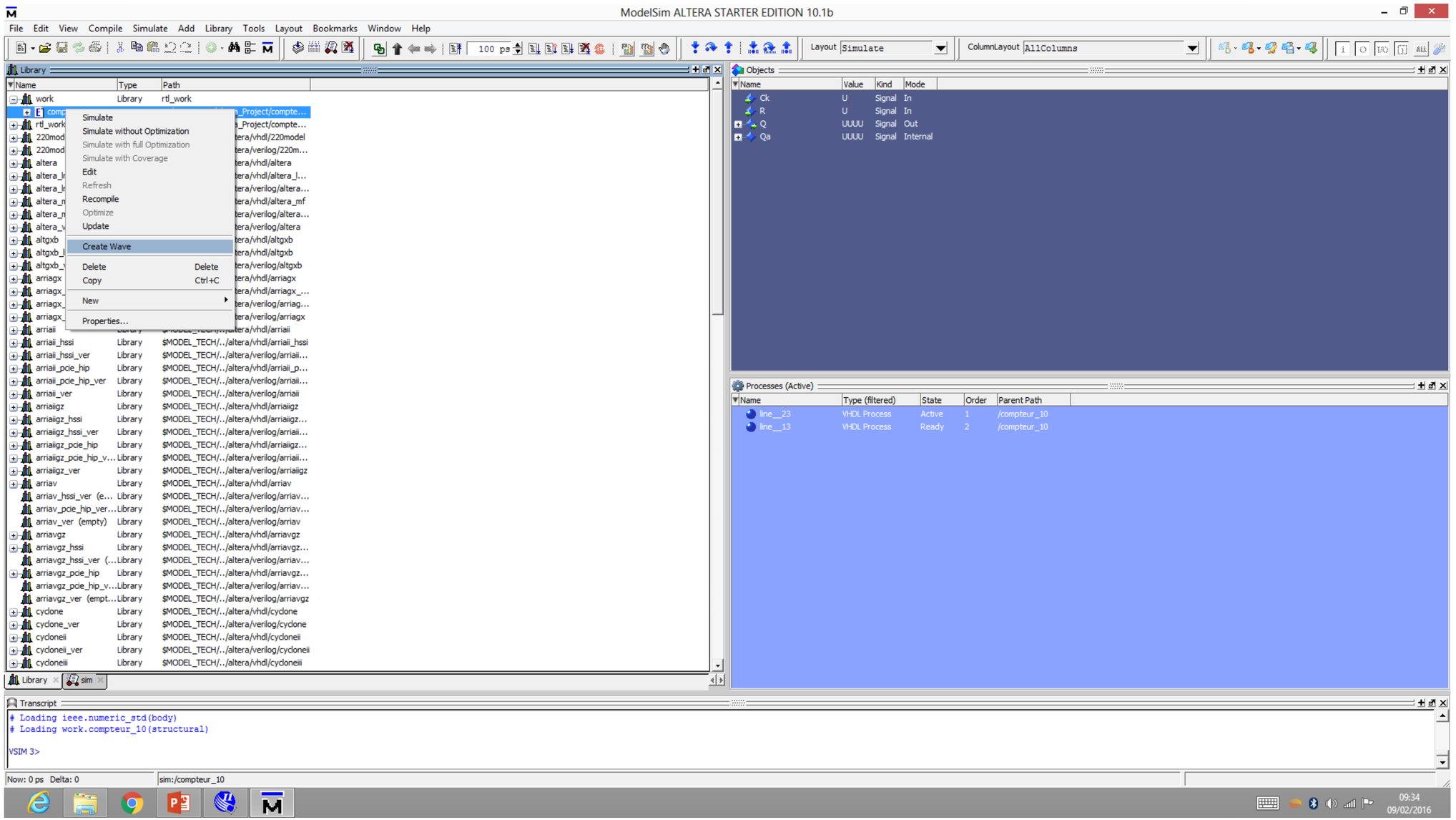
Prise en main de Quartus II



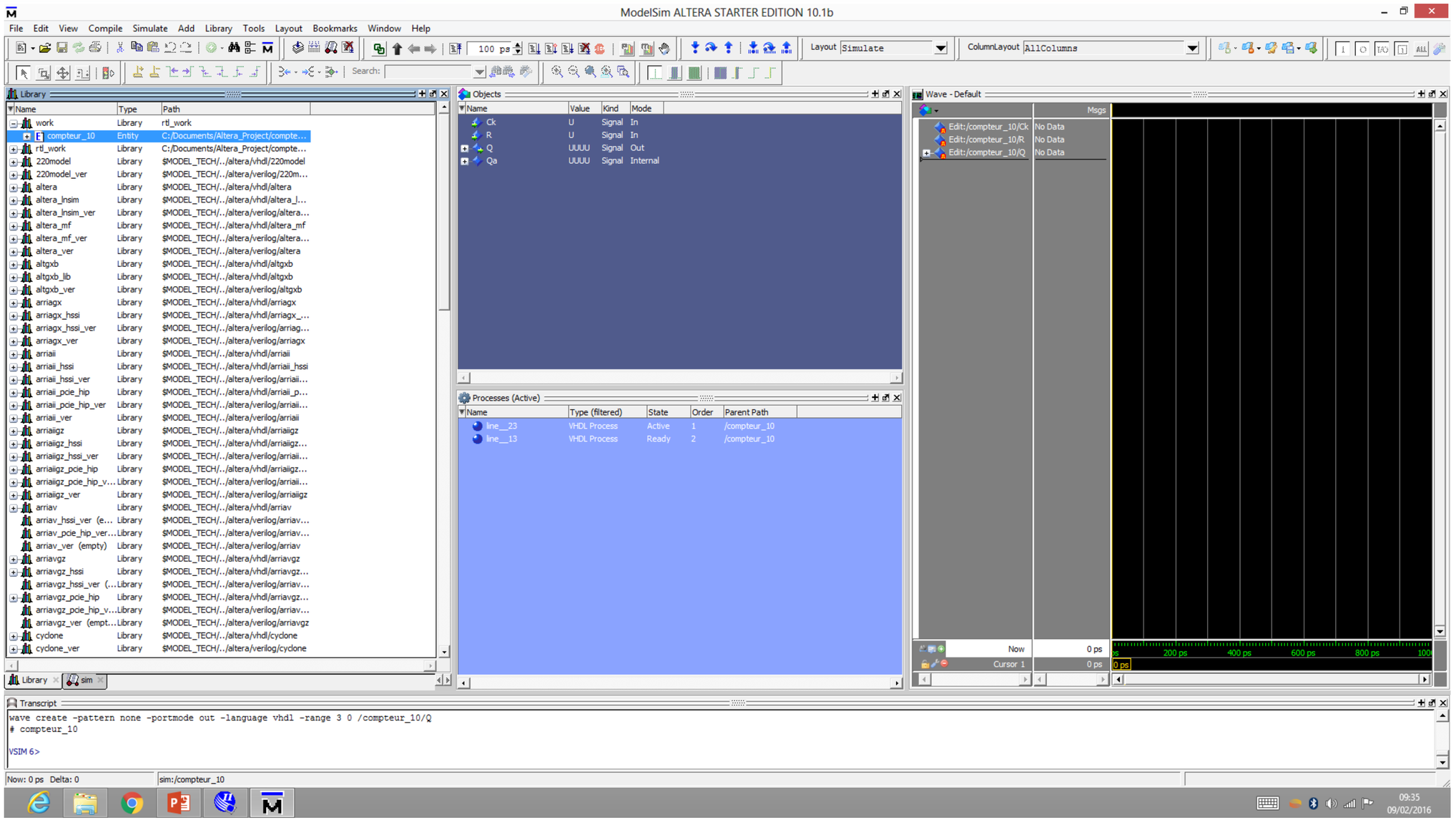
Prise en main de Quartus II



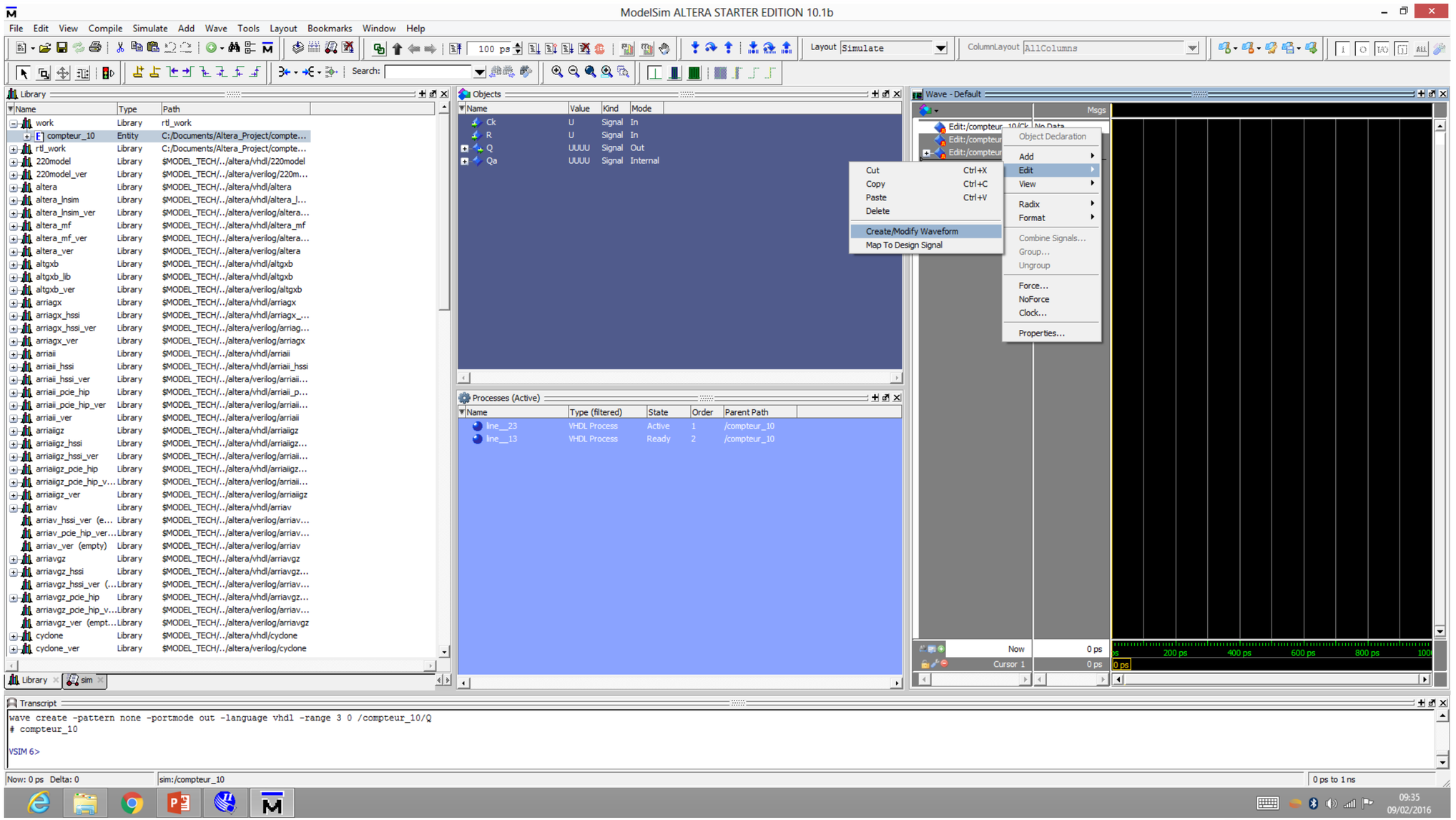
Prise en main de Quartus II



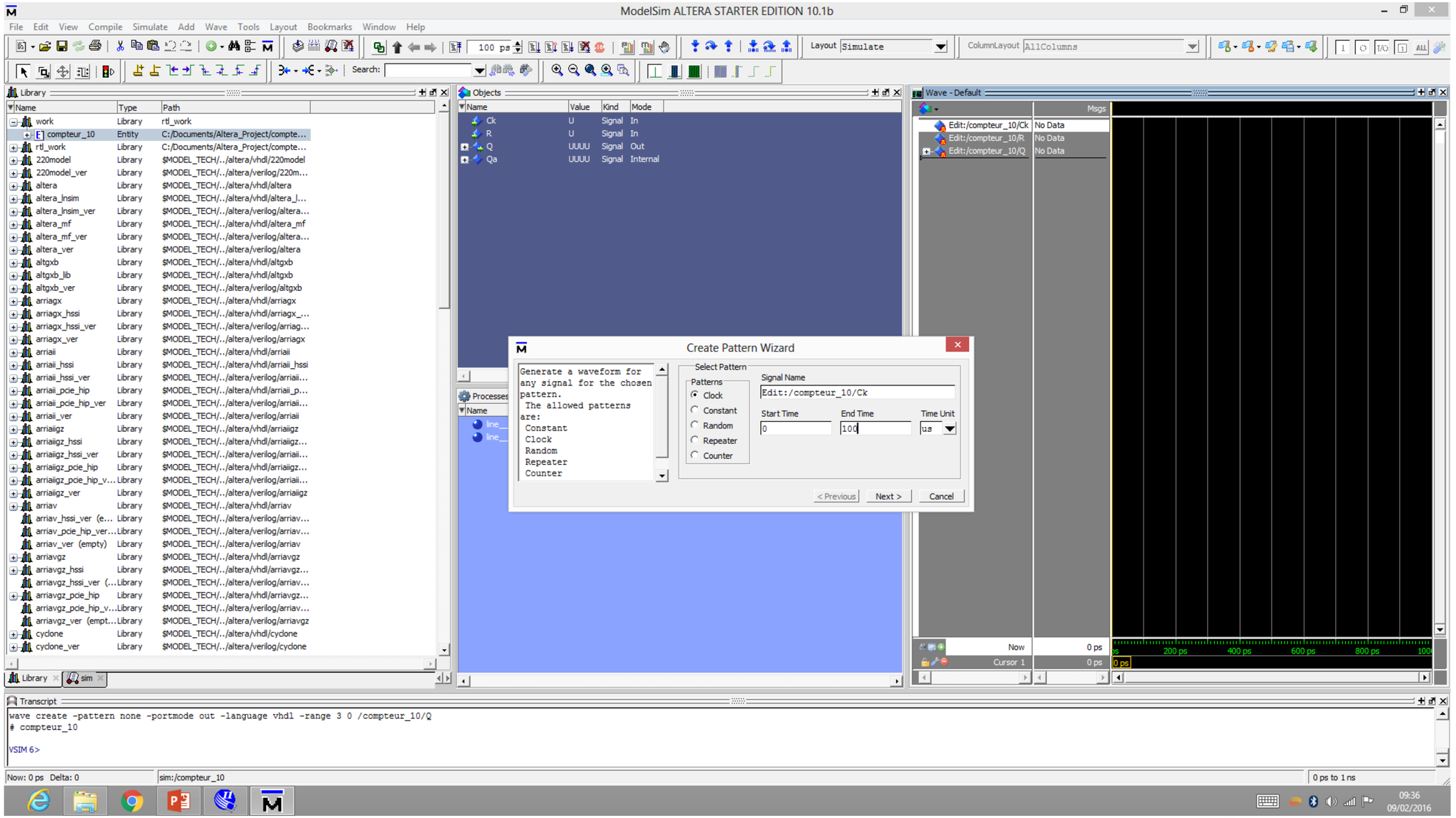
Prise en main de Quartus II



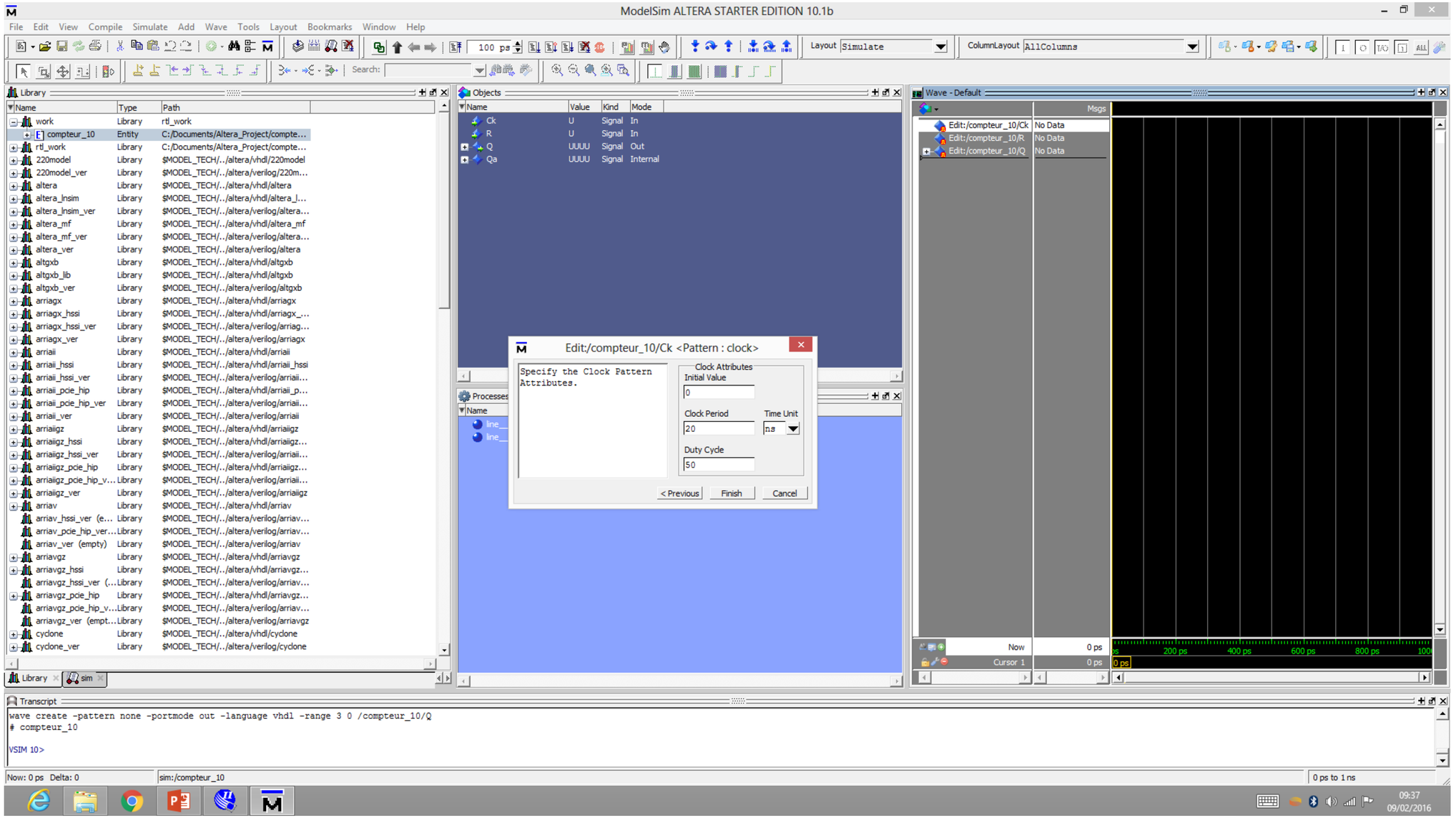
Prise en main de Quartus II



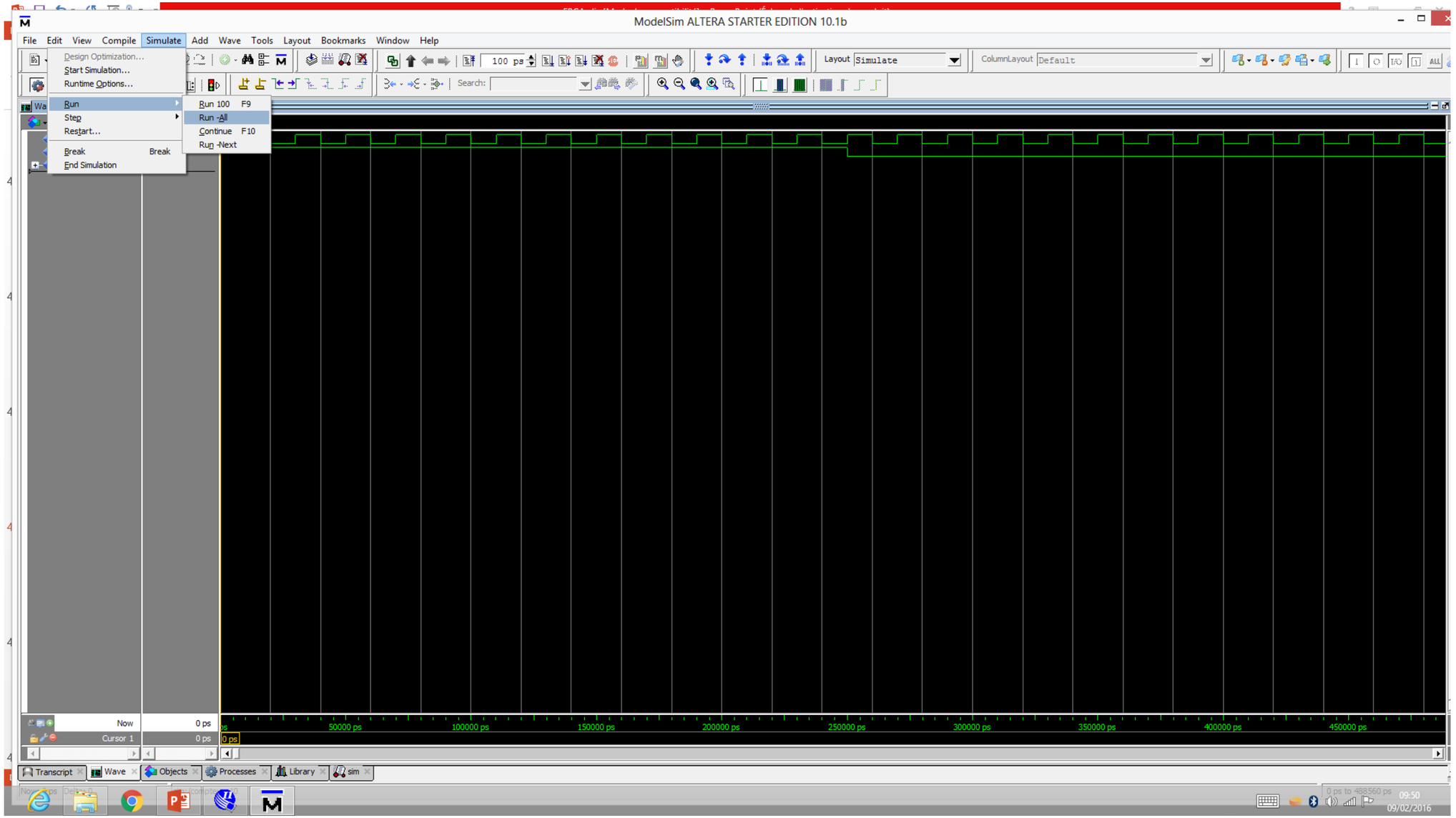
Prise en main de Quartus II



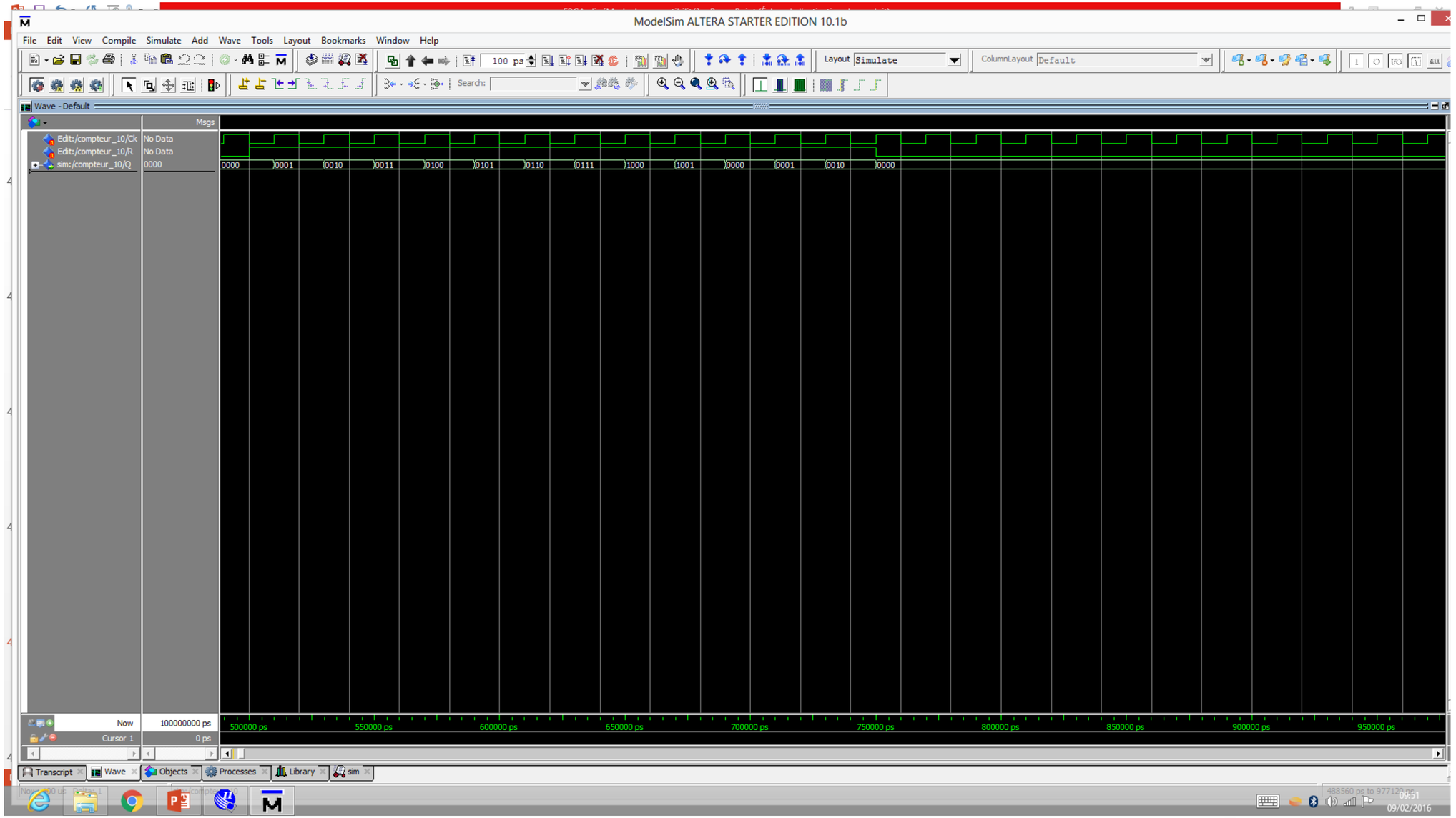
Prise en main de Quartus II



Prise en main de Quartus II



Prise en main de Quartus II



Prise en main de Quartus II

- Implémentation sur FPGA DEII
  - Assignation des PINs

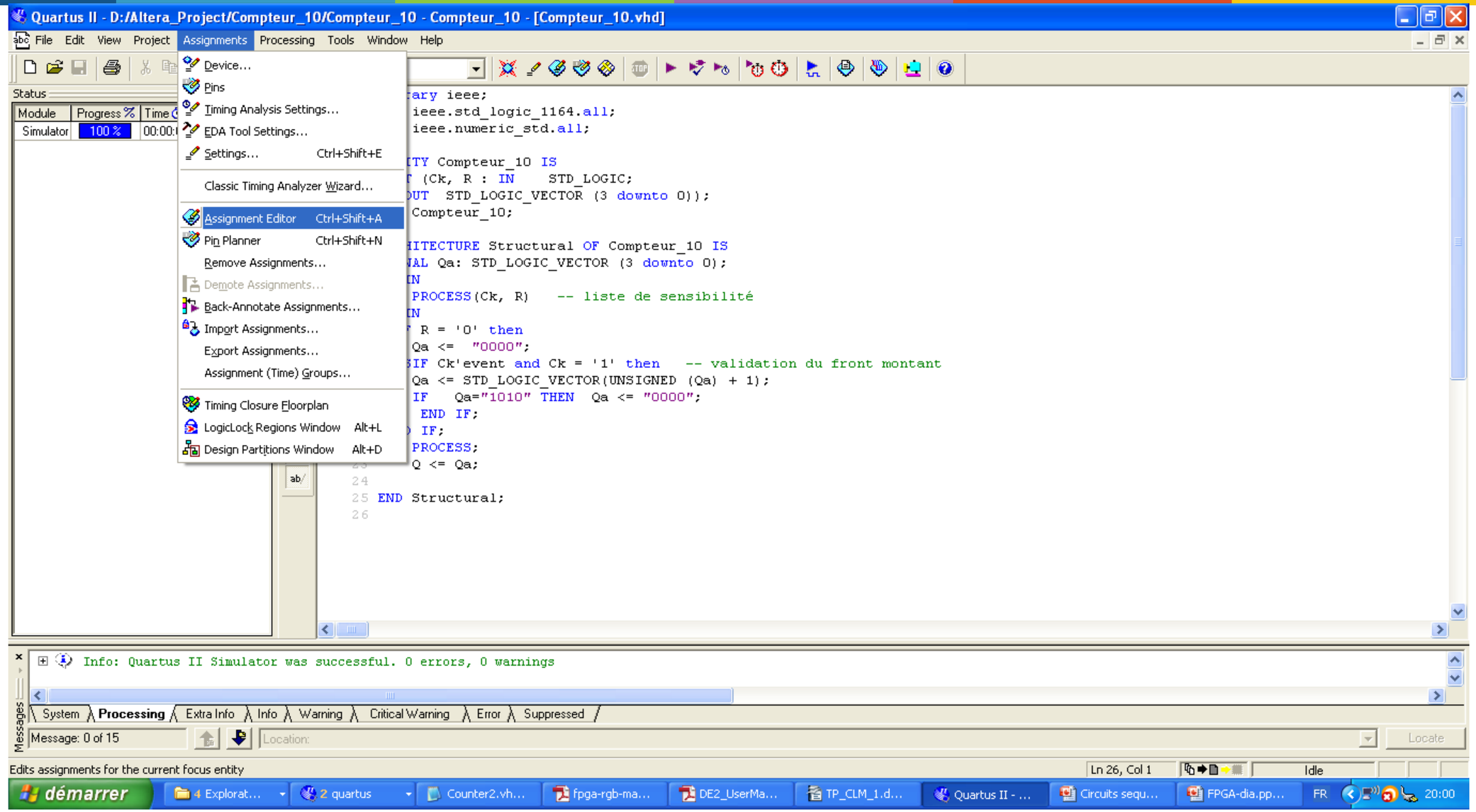
Signaux	Nom	Pin
Ck	KEY[0]	PIN_G26
R	SW[0]	PIN_N25
Q(0)	LER[0]	PIN_AE23
Q(1)	LER[1]	PIN_AF23
Q(2)	LER[2]	PIN_AB21
Q(3)	LER[3]	PIN_AC22

Prise en main de Quartus II

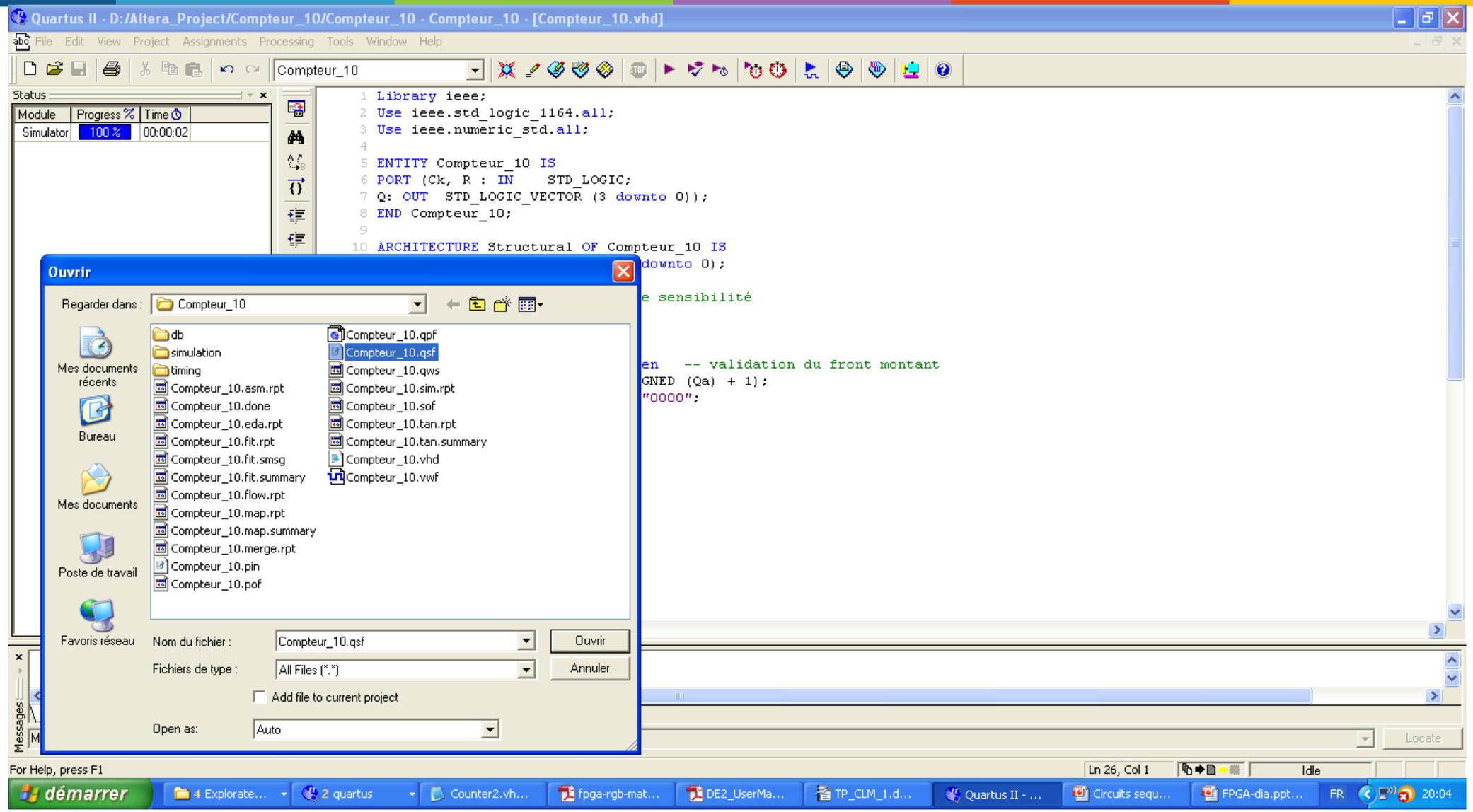
- Implémentation sur FPGA DE0
  - Assignation des PINs

Signaux	Nom	Pin
Ck	KEY[0]	PIN_J15
R	KEY[1]	PIN_E1
Q(0)	LER[0]	PIN_A15
Q(1)	LER[1]	PIN_A13
Q(2)	LER[2]	PIN_B13
Q(3)	LER[3]	PIN_A11

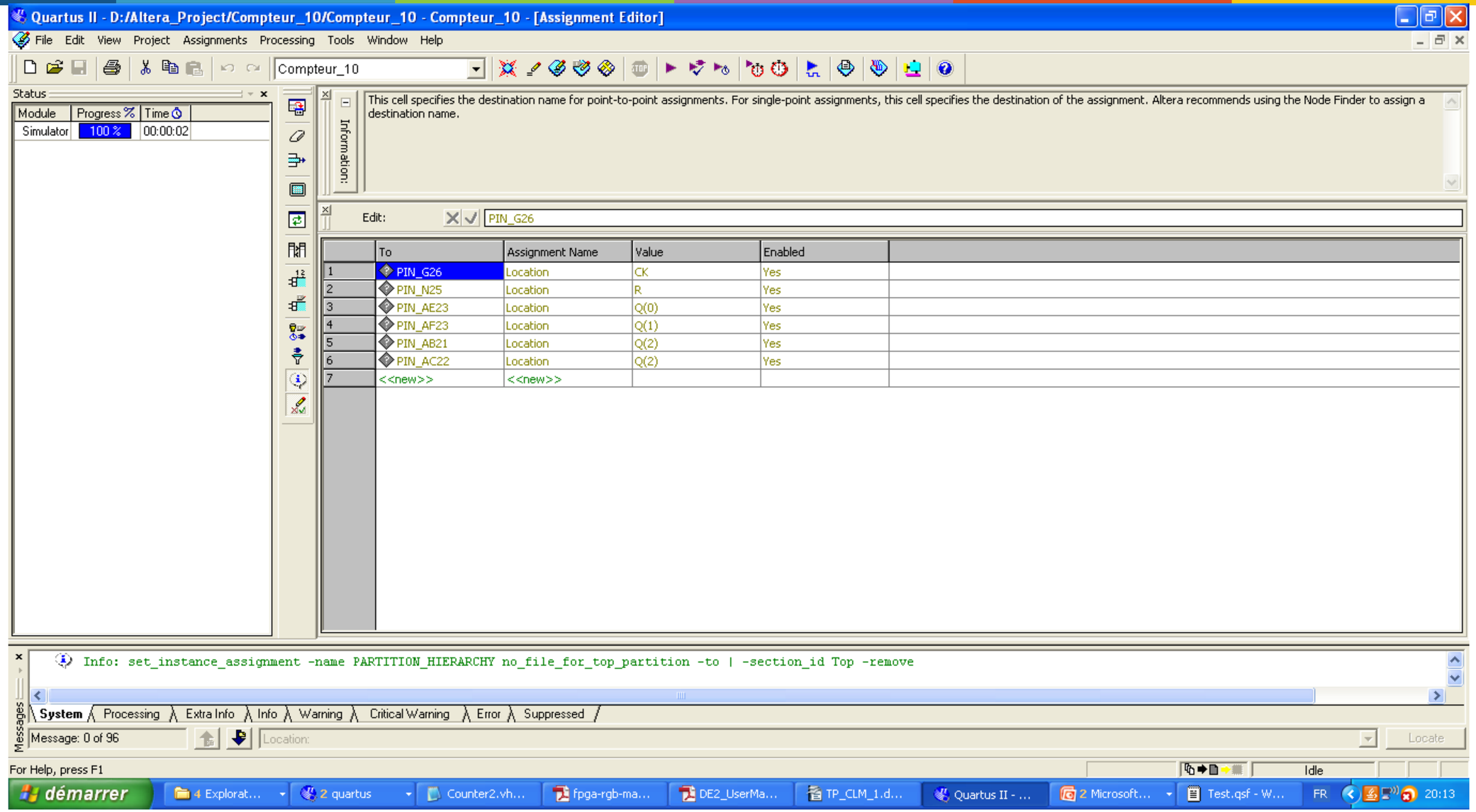
Prise en main de Quartus II



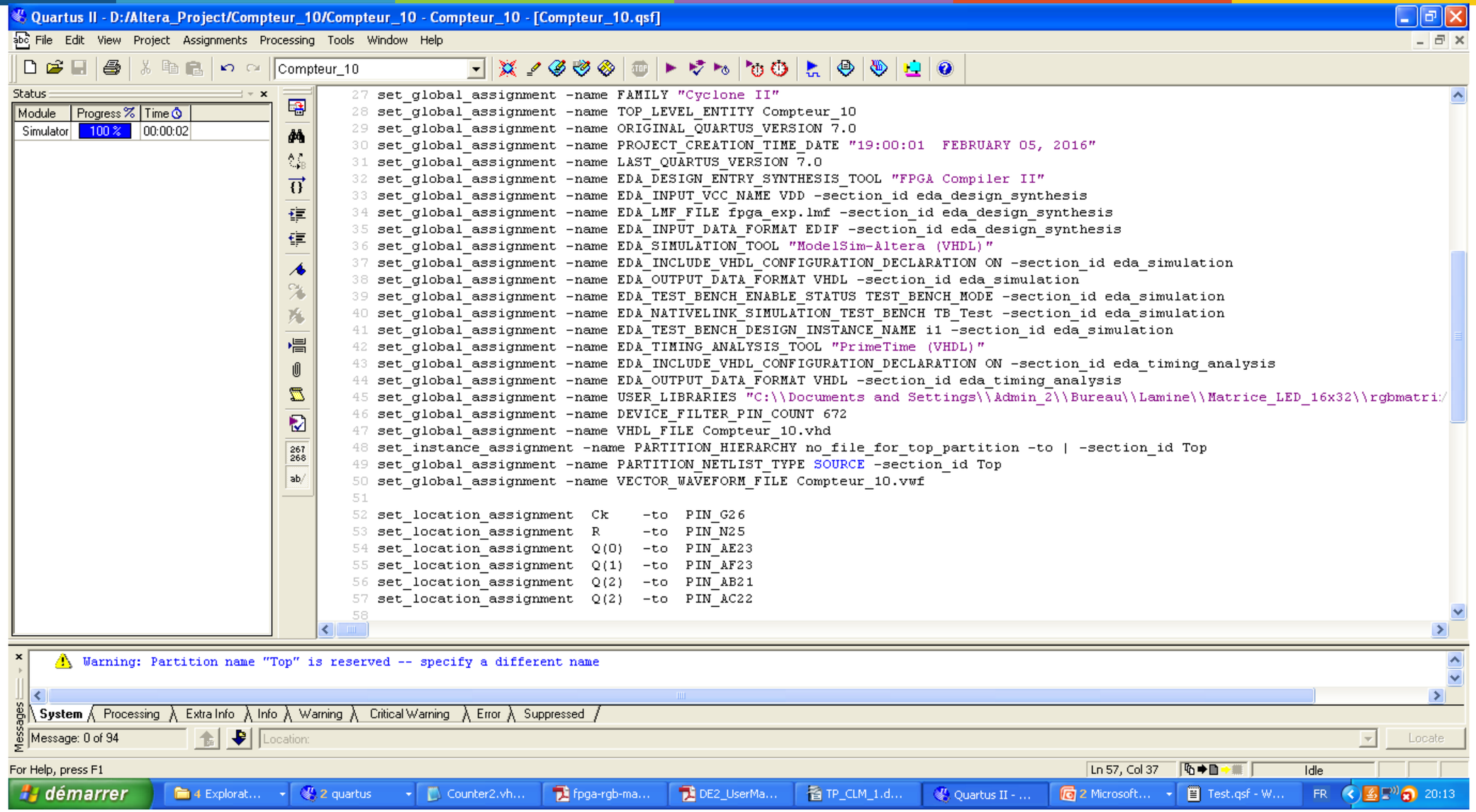
Prise en main de Quartus II



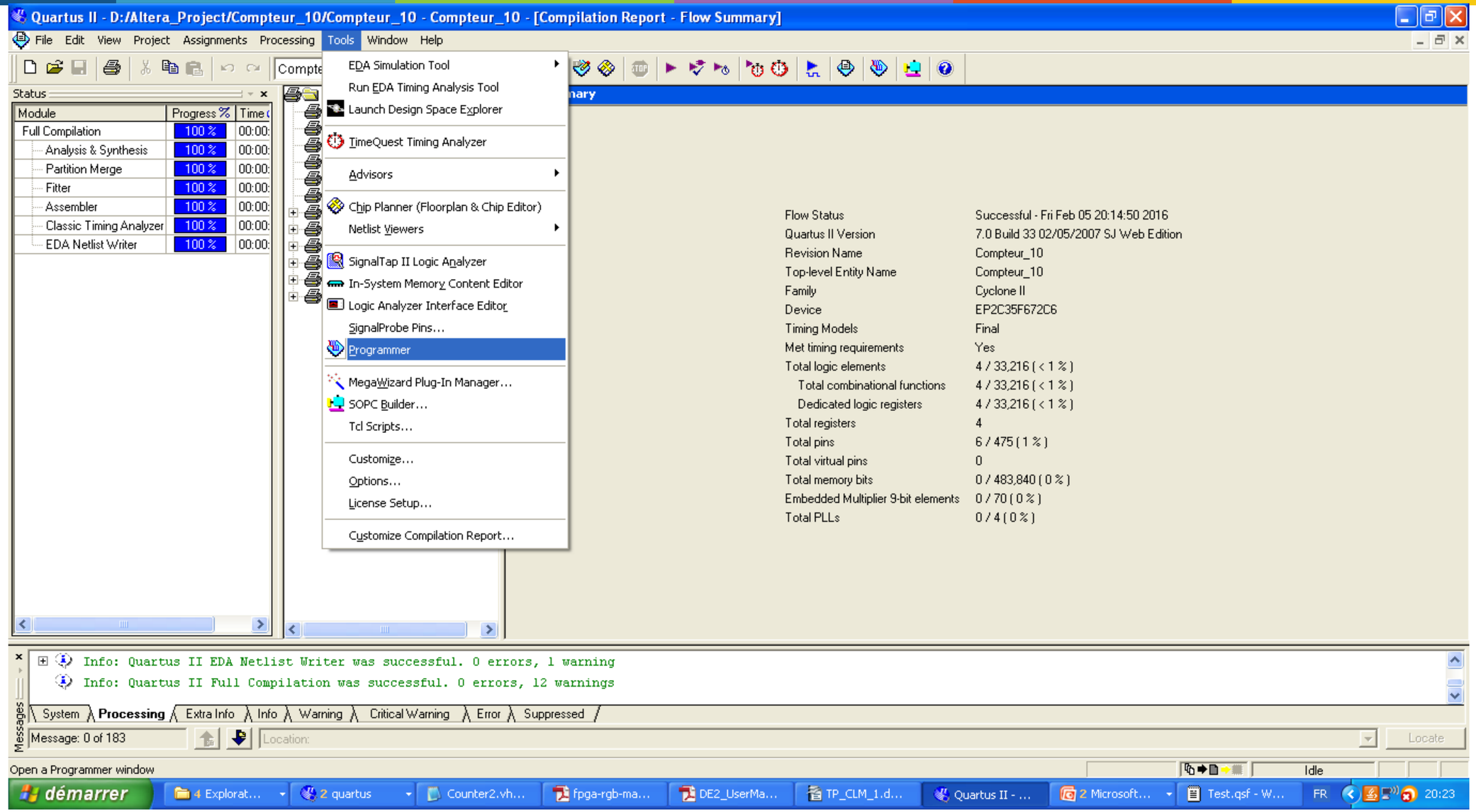
Prise en main de Quartus II



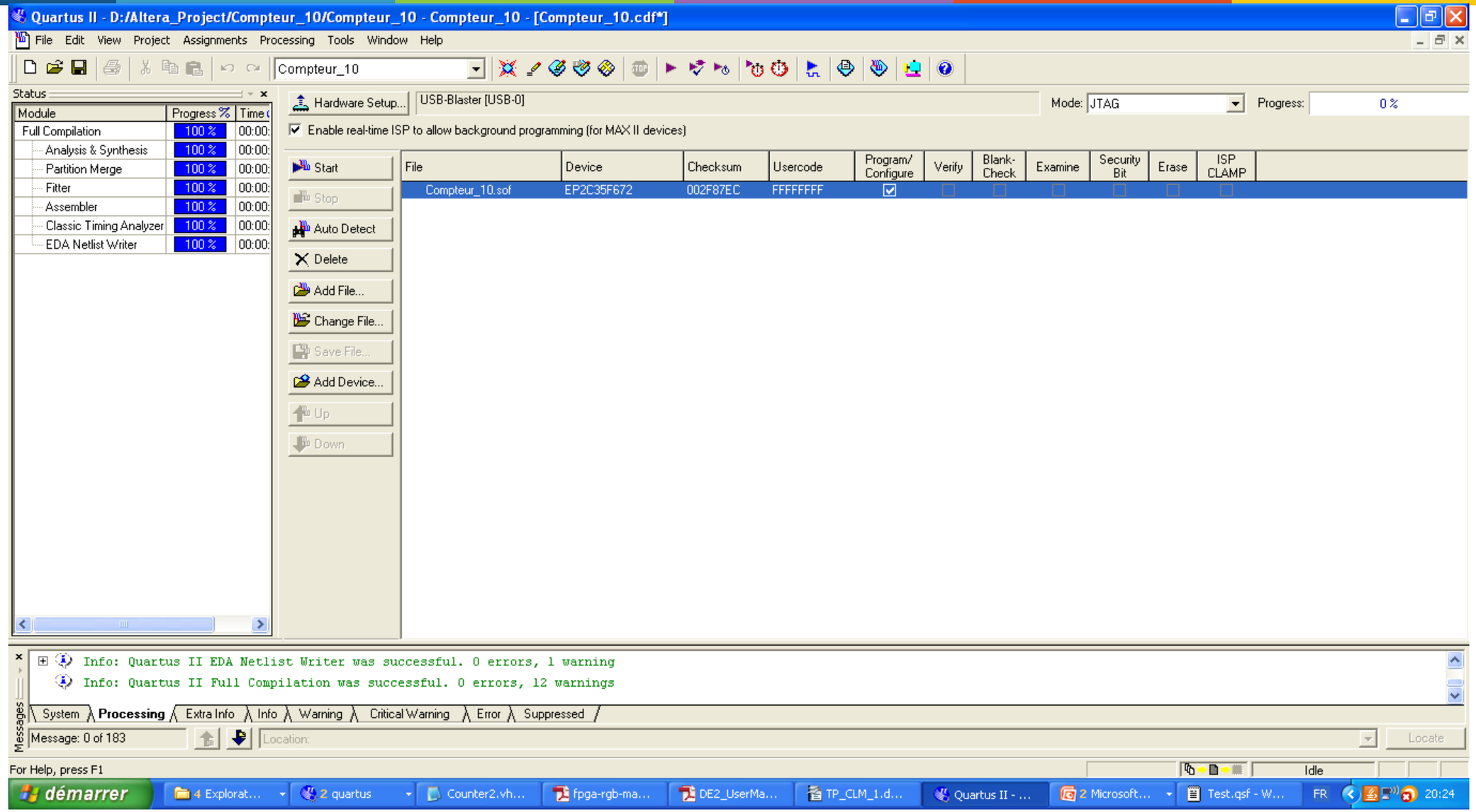
Prise en main de Quartus II



Prise en main de Quartus II



Prise en main de Quartus II



Circuits logiques programmable : FPGA

- Les circuits logiques programmables
- Les circuits FPGA
- Méthodologie de conception des circuits FPGA
- Environnement de développement